



기업분석 | 전기전자

Analyst

이왕진

02 3779 8832

Wangjin4268@ebestsec.co.kr

Buy (maintain)

목표주가	27,000 원
현재주가	18,500 원

컨센서스 대비

상회	부합	하회
●		

Stock Data

KOSDAQ(2/5)	967.42 pt
시가총액	2,333 억원
발행주식수	12,612 천주
52 주 최고가/최저가	21,900 / 4,490 원
90 일 일평균거래대금	59.56 억원
외국인 지분율	6.0%
배당수익률(19.12E)	0.0%
BPS(19.12E)	1,733 원
KOSPI 대비 상대수익률	1개월 17.5%
	6개월 6.7%
	12개월 17.9%
주주구성	이상윤 (외 3인) 16.3%
	Alianz Global Investors GmbH 6.2%

Stock Price



인텍플러스 (064290)

1조를 바라보며

지금은 시작에 불과하다

메인보드 전체보단 IC칩의 접합부분만 미세화하는 편이 제조원가 측면에서 유리하기 때문에 반도체 기판, 특히 BGA류 기판에 대한 수요는 지속적으로 증가하고 있다. 특히 이러한 니즈는 high-end 제품에서 폭증하고 있는 추세인데, FC-BGA가 대표적인 예이다. FC-BGA는 2.5D, 3D stacking에 있어 Ball pitch(볼간격)가 미세화되고 있는 추세이며, 이로 인해 AOI(Automated Optical Inspection)의 중요도가 증가하고 있다. 인텍플러스는 비전검사 전문 업체로 이런 산업 트렌드에 발맞춰 향후 3~4년간 꾸준한 성장이 기대된다.

인텍플러스가 좋은 5가지 이유

1) 인텔이 주는 레퍼런스의 힘은 간판이 아닌 실제 EMIB 난이도에서 나오는 것이며, 인텍플러스가 비전검사에 있어 글로벌 No.1이란 점을 방증한다. 2) 당사는 시장에서 기대하는 TSMC 패키지 장비 납품 가능성을 높다 판단하지만, TSMC에게 현재 당장 중요한 장비는 기판 검사장비로 이 쿼터는 작년에 마무리 되었다. 3) FCBGA기판업체들의 공격적 증설 사이클이 2021년부터 본격적으로 시작된다. 작년 주요 FCBGA 업체들을 고객사로 편입시킨 동사의 기판사업부는 올해도 크게 성장할 것으로 전망된다. 4) 인텔의 fab-lite 전환은 동사에게 오히려 호재다. 인텔이 후공정을 자체적으로, 더 집중하여 할 가능성이 높기 때문이다. 5) High-end FCBGA의 수요는 데이터센터를 시작으로 자율주행, MEC 등 FPGA의 확대로 견인 될 것이다. High-end FCBGA 기판에 채용되고 있는 ABF역시 확대 추세인데, 반투명 재질 특성상 기존검사방식은 난항을 겪고 있는 반면 동사의 WSI방식은 각광받고 있다.

투자의견 매수, 목표주가 27,000원

동사에 대한 투자의견 매수와 목표주가 27,000원을 제시한다. 목표주가 산출은 peer 그룹 평균 PER 22배로 산출하였다(실적 추정 및 Valuation 사항은 23p 참조)

Financial Data

(억원)	2017	2018	2019	2020E	2021E
매출액	243	161	405	565	868
영업이익	0	-83	47	74	187
세전계속사업손익	-3	-65	44	68	190
순이익	-3	-65	54	92	148
EPS (원)	-21	-600	498	759	1,215
증감률 (%)	적지	적지	흑전	52.3	60.2
PER (x)	-273.1	-7.2	37.1	24.4	15.2
PBR (x)	3.5	3.3	10.7	7.5	5.1
EV/EBITDA (x)	122.7	-6.0	43.2	29.1	11.5
영업이익률 (%)	0.1	-51.6	11.6	13.2	21.6
EBITDA 마진 (%)	0.2	-4.9	1.3	1.4	2.2
ROE (%)	-1.3	-36.8	28.5	34.9	38.4
부채비율 (%)	73.8	83.6	93.4	81.1	56.5

주: IFRS 연결 기준

자료: 인텍플러스, 이베스트투자증권 리서치센터

볼간격 뿐만 아니라 Solder ball→Micro bump

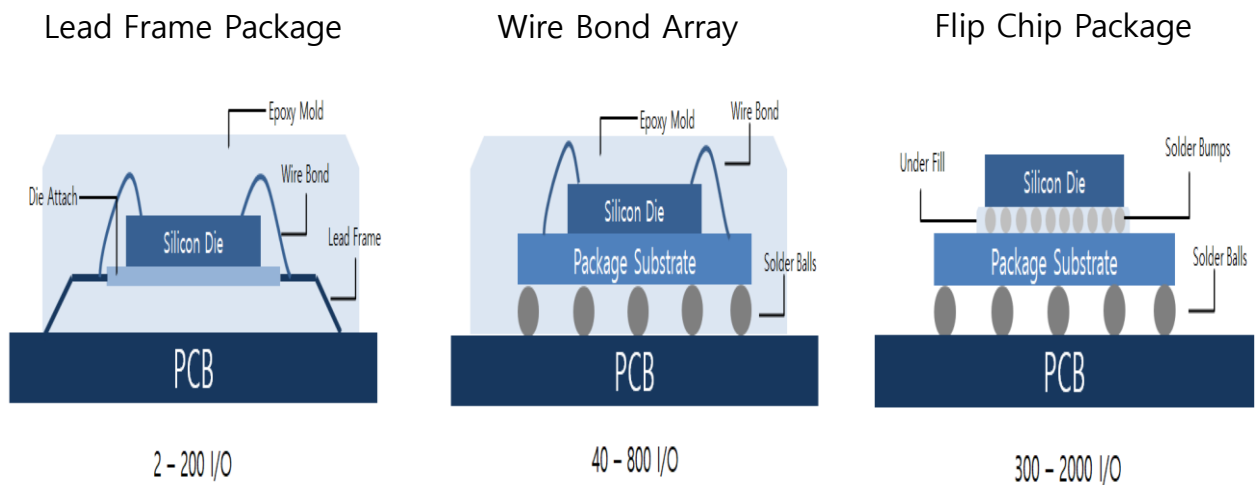
반도체 기판(Package Substrate)은 왜 부각되고 있는가

IC칩을 메인보드(mother PCB)에 전기적으로 연결시키려면 매개체가 필요하다. 매개체는 크게 두가지로 Lead frame과 Package Substrate등 이다. 리드프레임은 lead(납제품)를 frame(틀)화 시킨 제품으로 거미다리 같은 납틀에 칩을 연결 시키는 구조다. Package Substrate는 반도체 기판, IC기판 등으로 불리며 인쇄회로기판(PCB)에 Solder ball(공모양의 납땀)을 통해 칩을 연결시킨다. **반도체가 고도화 되고, 제품이 경박단소화 되어 메인기판(Mother PCB)이 소형화되면서 실장 면적이 더 작고 I/O(입출력)이 더 효율적인 Package Substrate의 채용이 증가하고 있다.**

현재 반도체 기판의 main driver는 Flip-Chip계열의 BGA(Ball Grid Array)다. FC계열에 BGA는 IC칩 상부와 반도체 기판 접합부에 각각 솔더볼을 형성할 수 있는 범프패드(Bump Pad)를 형성해서 반도체 기판에 부착시킨다. 반도체 기판과 메인보드 역시 같은 방법으로 각각 범프패드를 형성하여 솔더볼로 접합시킨다. RDL(Re-Distribution Layer:재배선층)을 통한 FOWLP(Fan-Out Wafer Level Package)외에 대부분의 패키징 기술은 반도체 기판이 쓰이는데, 그 이유는 제조원가 측면에서 더 유리하기 때문이다.

IC칩이 고집적화(더 낮은 선폭으로 제조)되어 증가된 I/O를 대응하기 위해선 더 많은 수의 범프가 필요하게 되고, 더 많은 수의 범프를 일정한 공간 안에 납땀시키려면, 메인기판의 배선을 점차 미세하게 가공해야 한다. 하지만 메인기판 전체를 미세가공하게 되면 수율 등이 크게 감소하고 제조비용 자체도 상당하기 때문에, **IC칩의 접합부분(반도체 기판)만 미세화하여 메인기판에 추가로 실장 하는 것이 제조원가 측면에서 유리하다.** 증가되는 데이터 트래픽, 이를 대응하기 위한 I/O의 확대는 향후 지속될 수 밖에 없는 트렌드이기 때문에 BGA류 반도체 기판의 수요는 우 상향이 확실시 되는 상황이다.

그림1 패키징 별 I/O 증가

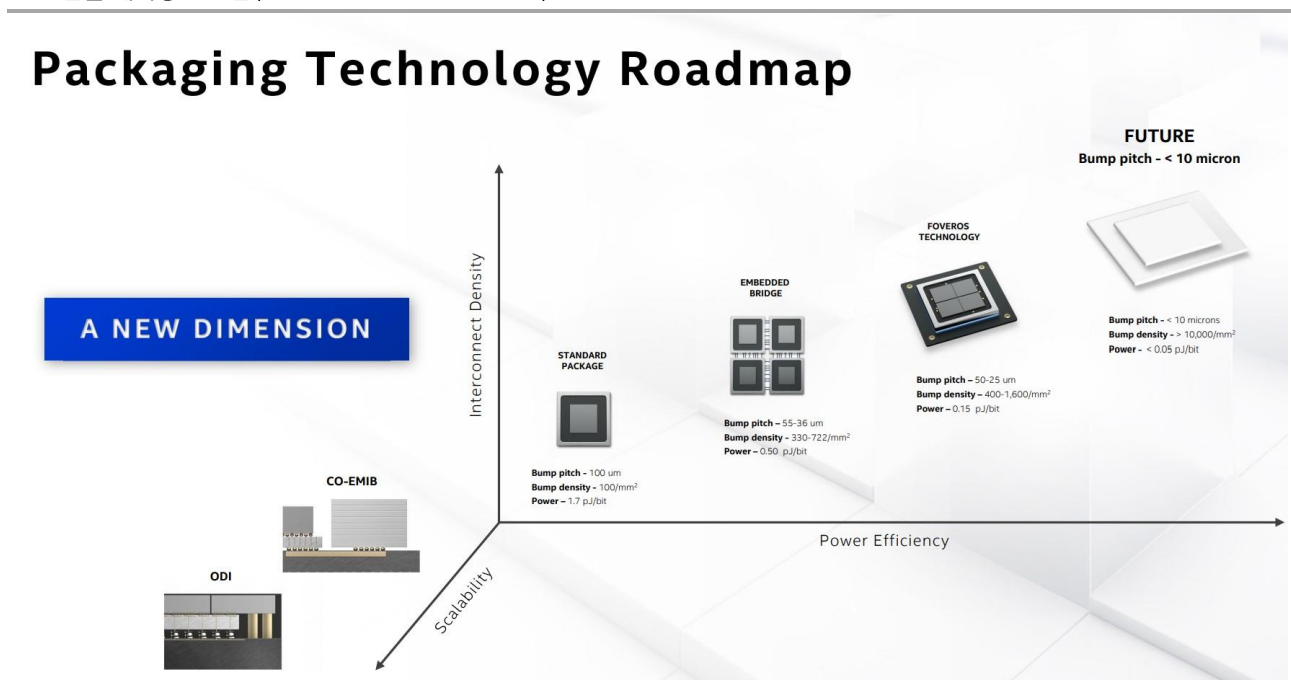


자료: 이베스트투자증권 리서치센터

3D 적층에서 비전검사가 왜 중요해 지는가

전공정 미세화에 점차 뒤쳐지기 시작한 인텔은 2017년 3D 후공정 패키징 로드맵을 발표, 각기 다른 공정을 통한 칩을 하나의 패키징 형태로 만드는 이종반도체(heterogeneous design)로의 전향을 예고하였다. 인텔은 칩을 수평(2.5D)으로 연결시키는 EMIB(Embedded Multi-die Interconnect Bridge)를 시작으로, 수직(3D)으로 쌓는 Foveros, 수평으로 연결된 EMIB를 수직으로 쌓아 올리는 Co-EMIB까지 점진적으로 확대시킬 계획이다.

그림2 인텔 패키징 로드맵(EMIB→Foveros→Co-EMIB)



자료: Intel, 이베스트투자증권 리서치센터

TSMC역시 마찬가지다. 기존 RDL(Re-Distribution Layer:재배선층) 기반의 INFO(Integrated Fan Out with Interconnect)에서 2015년 인터포저(Interposer)를 사용한 수평구조(2.5D)의 CoWoS(Chip on Wafer on Substrate)로 전향한 뒤, 작년 수직구조(3D)의 SoIC(System on Integrated Chips)를 발표하며 패키징의 3D화에 참전하였다.

그림3 TSMC 패키징 로드맵(INFO→CoWoS→SoIC)

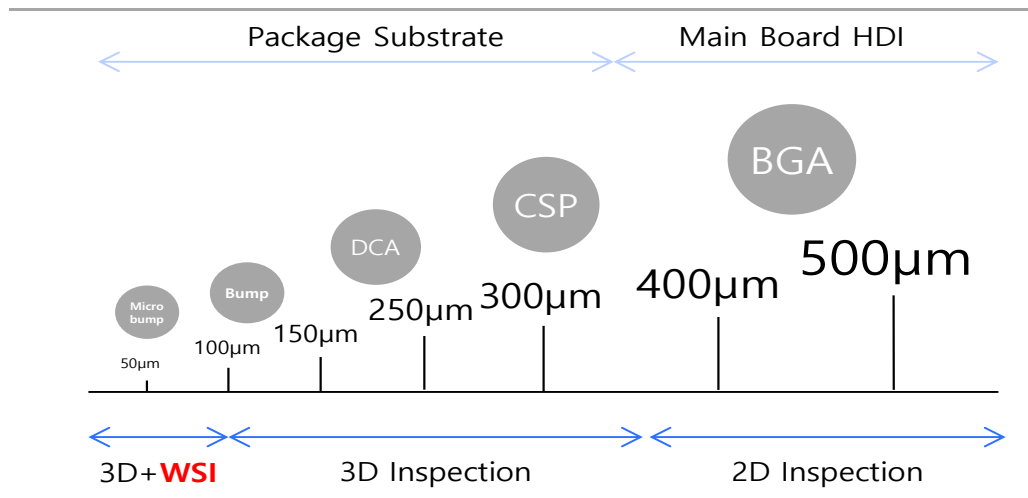


자료: TSMC, 이베스트투자증권 리서치센터

당연한 소리지만 양사의 패키징 세대(2D→2.5D→3D)가 진보할수록 더 높은 I/O를 대응하기 때문에 면적당 실장되는 뱀프(bump density)는 증가한다. 하지만 당사가 강조하고 싶은 부분은 3D 패키징으로 넘어갈 경우 뱀프밀도 뿐만 아니라, 상대적으로 간격이 큰 솔더볼이 감소하고 간격이 좁은 마이크로뱀프(Micro Bump: 매우 촘촘한 뱀프)가 증가한단 점이다. 칩이 3D stacking(IC칩간 수직으로 적층)되기 시작하면 IC칩과 IC칩의 연결이기 때문에 IC칩-반도체기판 대비 뱀프 패드(뱀프가 생성되는 패드)에 뱀프를 더욱 촘촘하게 형성할 수 있다. 이는 앞서 설명한 기판 vs IC칩간의 미세공정 차이 때문이다. 패키징이 3D화, 적층구조(vertical)로 진행될 경우, IC칩과 반도체 기판간에 형성된 상대적으로 넓은 솔더볼이 IC칩위로 바로 적층되게 되는데, 이러한 경우 IC칩-IC칩간의 연결이기 때문에 솔더볼 대신 마이크로뱀프 형태로 실장할 수 있게 된다. 작년 당사 사과나무 시리즈에서 강조했던 동사의 WSI기술은 마이크로뱀프 검사에 있어 매우 유리하단 점을 다시 한번 상기해야 한다.

더하여, IC칩-IC칩의 연결은 기존 IC칩-반도체기판의 연결 대비 수율에 상당히 민감해 진다. IC칩간의 적층에서 defect(연결 오류)는 개당 단가가 비싼 IC칩의 폐기와 직결되기 때문이다. 결국 3D stacking으로의 전환은 AOI(Automated Optical Inspection: 자동화 비전 검사) 자체의 중요도를 부각시키게 될 것이다.

그림4 뱀프가 작아질수록 WSI 기술력 부각 전망

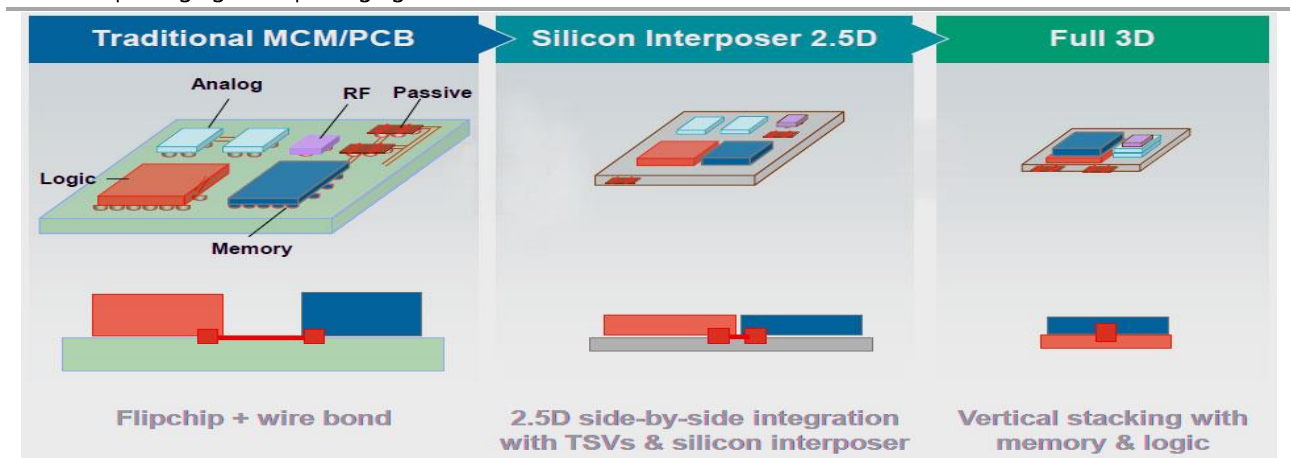


자료: 이베스트투자증권 리서치센터

인텔은 왜 인텍플러스를 택했나

현재 상용되고 있는 2.5D 패키징은 TSMC의 CoWoS와 인텔의 EMIB가 대표적인 예이다. CoWoS와 EMIB 모두 HBM(High Bandwidth Memory: 고대역 메모리)과 비메모리 로직칩을 인터포저위에 실장하여 반도체 기판에 접합시킨 형태다. HBM은 정보저장을 담당하는 코어칩과, 외부 로직칩과 연결을 도와주는 베이스칩을 적층시킨 형태로 3D 구조다. 이미 적층된 메모리(HBM)의 구조가 3D임에도 불구하고 2.5D로 불리우는 이유는, 3D로 적층된 메모리를 로직칩 위로 수직이 아닌 옆의 수평으로 연결시켰기 때문이다. 만일 HBM을 수직으로 적층하게 되면 이것이 3D 패키징이다.

그림5 2.5D packaging vs 3D packaging

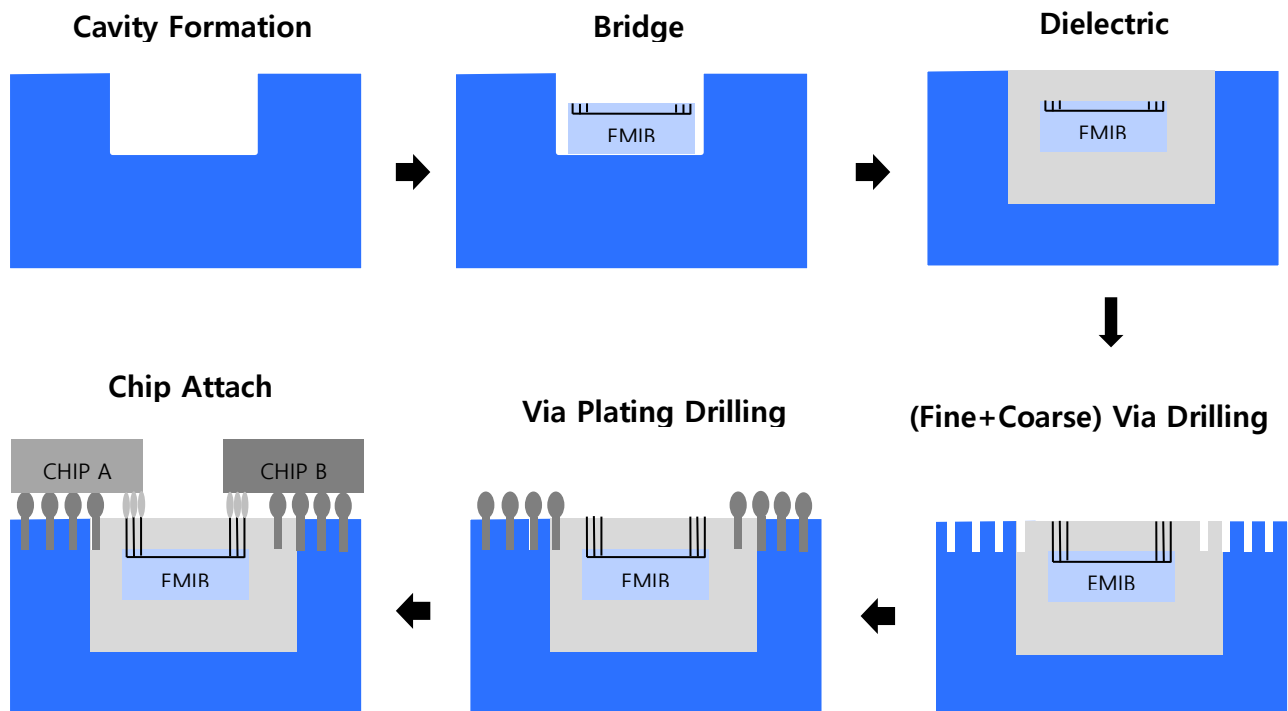


자료: Infochips, 이베스트투자증권 리서치센터

CoWoS와 EMIB의 대표적 차이는 반도체 기판과 HBM+로직칩을 이어주는 인터포저의 차이이다. CoWoS와 EMIB 모두 메인보드와 접합되는 상부에 반도체 기판(Package Substrate)이 BGA(200~300 μ m)형태로 실장된다. CoWoS의 경우 반도체 기판 위로 인터포저(Interposer)라는 실리콘 기판이 다시 BGA(50~200 μ m) 형태로 실장되고, 그 위로 마이크로 범프(<50 μ m)를 통해 HBM과 로직칩이 2.5D형태로 실장된다. 반도체 기판위에 인터포저가 추가로 실장되는 이유는 IC칩과의 연결부(인터포저)를 반도체 기판면적대비 상대적으로 작게 하여, 마이크로 범프를 대응하기 위한 미세선폭 공정 시 상대적으로 제조원가를 낮출 수 있기 때문이다. 즉 앞서 설명한 IC칩과 메인보드의 회로선폭 차이로 반도체 기판을 실장하는 이유와 같다.

하지만 EMIB(Embedded Multi-die Interconnect Bridge)의 경우 CoWoS와 달리 반도체 기판 위에 인터포저를 추가로 실장하는 것이 아니라 실리콘 브릿지 형태로 소형화시켜 반도체 기판에 내재(Embedded)한다. 이처럼 실리콘 브릿지를 반도체 기판에 내장할 경우, 미세공정이 진행된 실리콘 브릿지만 일반적인 공정으로 제조된 반도체 기판에 삽입되기 때문에 로직다이와 HBM 연결을 위한 추가적인 실리콘 인터포저가 필요없게 된다

그림6 EMIB 공정과정



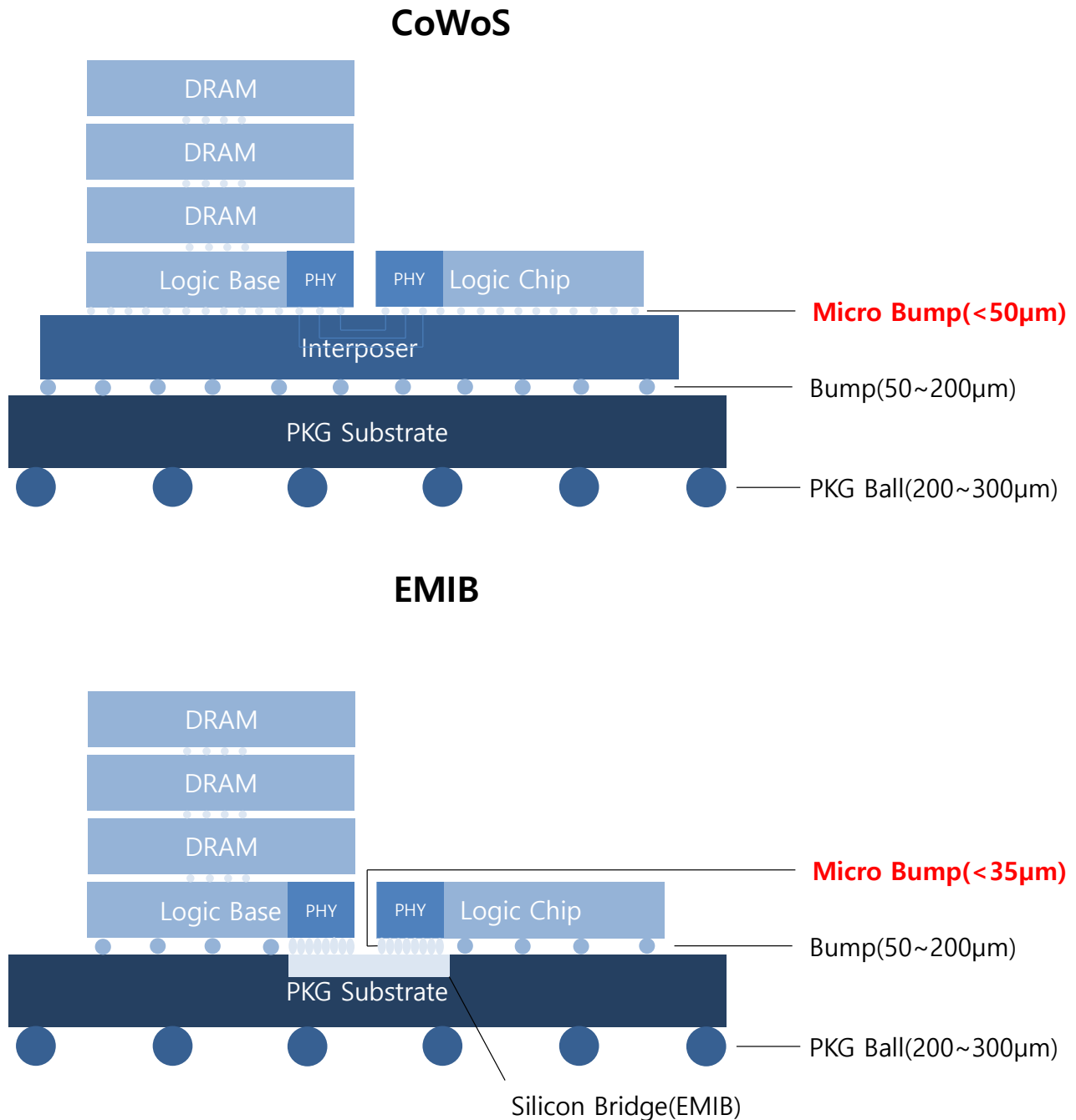
자료: 이베스트투자증권 리서치센터

실리콘 인터포저를 사용하는 CoWoS의 경우, 로직칩과 HBM은 비교적 미세공정을 진행한 인터포저라는 매개체를 통해 반도체 기판과 접합된다. 하지만 EMIB의 경우 HBM과 로직칩이 인터포저 대비 미세공정이 진행되지 않은 반도체 기판과 직접 연결되기 때문에 위 언급한 IC칩→반도체 기판의 공정상 한계에 직면하게 된다. 이를 해결하기 위해 인텔은 EMIB라는 실리콘 브릿지를 반도체 기판 내에 삽입하여 이 문제를 해결한 것이다

EMIB 실리콘 브릿지는 인터포저 대비 면적이 훨씬 작은 관계로, 미세공정으로 인한 면적당 제조원가 상승에 부담이 훨씬 덜하다. 위에 실장되는 bump의 간격도 인터포저 대비 미세하게 진행할 수 있다. 현재 CoWoS에서 실리콘 인터포저와 HBM+로직칩의 연결 bump pitch는 약 50 μ m수준인데 반해 EMIB2가 적용된 Agilx FPGA의 bump pitch는 35 μ m이다.

이러한 이유로 인텔은 3D 비전검사에 대한 니즈가 타 IDM, Foundry 대비 남달랐던 것이고 인텍플러스가 인텔 EMIB에 단독으로 3D비전검사 장비를 납품하는 것은 기술적인 측면에서 동사가 Top tier라는 점을 방증한다.

그림7 CoWoS vs EMIB의 차이는



자료: 이베스트투자증권 리서치센터

TSMC, 이미 중요한 쉘은 끝났다.

최근 TSMC가 증설 금액을 28~30조원으로 증가시키며 관련 업체들의 주가 흐름이 상당히 좋았는데, 동사 역시 TSMC 쉘 통과 기대감에 맞물려 상승하였다. 이러한 기대감은 당사가 1/21일 진행한 NDR에서도 빠지지 않고 등장하는 질문이었으며, 이는 동사에 대한 시장의 시선이 쉘 통과에 있어 상당한 비중을 두고 있다는 점을 방증한다.

물론 TSMC가 후공정을 내재화하고 있다는 점을 고려하였을 때 패키징 장비 납품의 의미는 크지만 이미 승인 난 TSMC향 기관 장비 역시 매우 큰 의미가 있다. TSMC가 3D 패키징으로 넘어갈 경우, 당장 직면하는 문제는 불 간격 감소에 있기 때문에 타임라인 상 기관 장비 매출 증가 속도가 훨씬 가파를 것으로 전망되기 때문이다. 참고로 작년 6월 인텍플러스는 TSMC와 3D 검사장비 공급계약을 체결하였다. 납품 장비는 2사업부에 속하는 기관 검사장비로 계약 체결은 TSMC와 했지만 기관 공급사인 Unimicron의 TSMC라인으로 설치되었다.

TSMC는 지난 2019년부터 전체 capex 금액의 약 10% 가량을 후공정에 투자하고 있다. TSMC의 2019년 전체 capex는 약 \$14.9bn, 2020년 \$17.2bn, 2021년 가이드는 \$25~\$28bn으로 제시한 비율을 적용 시켜 본다면 후공정에 약 1.5조, 1.8조, 3조원 가량을 투자하고 있다.

표1 TSMC 4Q18 부터 후공정 투자에 대한 언급을 시작

Time line	Speaker	원문	해석
4Q20	C. C. Wei	In 2020, we spent USD 17.2 billion ..., our 2021 capital budget is expected to be between USD 25 billion and USD 28 billion . Out of the \$25 billion to \$28 billion CapEx for 2021, about 80% of the capital budget will be allocated for advanced process technologies, including 3-nanometer, 5-nanometer and 7-nanometer; about 10% will be spent for advanced packaging and mask making ; and about 10% will be spent for specialty technologies	2020년 CAPEX는 19조원, 21년 예상 집행 금액은 16~17조원 수준으로, 이 중 80%는 3nm, 5nm, 7nm와 같은 선단공정에 지출, 10% 수준을 선단 패키징 공정과 마스크 제조, 10% 수준을 특수 기술에 지출 할 것이다.
4Q19	C. C. Wei	Out of the \$15 billion to \$16 billion CapEx for 2020, about 80% of the capital budget will be allocated for advanced process technologies including 3, 5 and 7-nanometers, about 10% will be spent for advanced packaging and mask-making and about 10% for specialty technologie	2020년 CAPEX 예상 집행 금액은 16~17조원 수준으로, 이 중 80%는 3nm, 5nm, 7nm와 같은 선단공정에 지출, 10% 수준을 선단 패키징 공정과 마스크 제조, 10% 수준을 특수 기술에 지출 할 것이다.
4Q18	C. C. Wei	Out of this USD 10 billion to USD 11 billion CapEx for 2019, about 80% of the capital budget will be allocated for other advanced process technologies, which includes 7-nanometer, 5-nanometer and 3-nanometer. A little more than 10% will be spent for advanced packaging and mask making , and about 10% will be spent for specialty technologies. So this is about CapEx.	2019년 CAPEX 예상 집행 금액은 12조원 수준으로, 이 중 80%는 3nm, 5nm, 7nm와 같은 선단공정에 지출, 10% 조금 넘는 수준을 선단 패키징 공정과 마스크 제조, 10% 수준을 특수 기술에 지출 할 것이다.

자료: TSMC, 이베스트투자증권 리서치센터

과거 TSMC는 대부분의 패키징을 OSAT업체를 통해 진행시켰기 때문에 이러한 투자는 내재화를 위한 투자 및 3D fabric 양산을 위한 투자로 보여지는데, SoIC의 양산 시점이 2022년 초인 가운데, TSMC의 전체 생산 물량을 고려해 본다면 연간 1~3조원 미만(패키징+마스크 제조이기 때문에 패키징 단일로는 10% 미만 추정)의 투자금액은 IDM 입장에서 통상적인 금액으로, TSMC의 내재화 속도가 가파르지 않다는 점을 유추할 수 있을 만한 금액이다. 즉 TSMC의 자체적인 패키징 물량은 단기적으로 크게 증가하기 보다, 중장기적으로 서서히 증가할 가능성이 높다.

반면 불 간격의 감소는 CoWoS→SoIC확대에 명확하다. 가장 최근 CoWoS에서 불 간격은 약 50 μ m수준인데, SoIC의 불간격은 9 μ m 수준이다. 물론 SoIC는 마이크로뎀프가 아닌, 비아 패턴으로 노출된 구리를 직접 연결시키는 SoIC 본딩이란 특수한 방식을 사용하기 때문에 apple-apple 비교는 어렵지만, 당연히 Chiplet-반도체기관 간의 불간격은 더욱 감소할 수 밖에 없다.

동사 패키징장비의 강점은 Large scale form factor로 한번에 많은 양의 완제품 칩을 검사할 수 있음에 있고, 기관장비의 강점은 WSI기술을 통한 좁은 불간격을 면밀하게 검사할 수 있음에 있다. 결국 TSMC 내재화 물량증가 속도대비, SoIC의 확대가 상대적으로 가파를 것이기 때문에, TSMC 입장에서 당장 필요한 장비는 동사의 기관 검사장비이다.

최근 동사의 Unimicron향 장비매출의 급증은 이에 기인한다. 동사의 Unimicron향 매출은 2019년 없었으나 2020년 85억 수준까지 올라오며 전체 매출액에 약 15.2%까지 상승하였다. 2021년 가이드런스 기준 Unimicron향 매출이 약 60억원 계획되어 있지만 현재 추세를 고려 시 이 금액은 상승할 가능성이 커 보인다.

표2 SoIC pad pitch 감소는 차원이 다를 예정

Technology	2.5D	3D-IC	SoIC
Interconnect	μ bump	μ bump	SoIC bond
Chip distance	~100 μ m	~30 μ m	0
Bong-pad Pitch	50 μ m	35 μ m	9 μ m
Speed	0.01X	1.0X	11.9X
Bandwidth Density	0.01X	1.0X	191.0X
Power Efficiency (Energy/bit)	22.9X	1.0X	0.05X

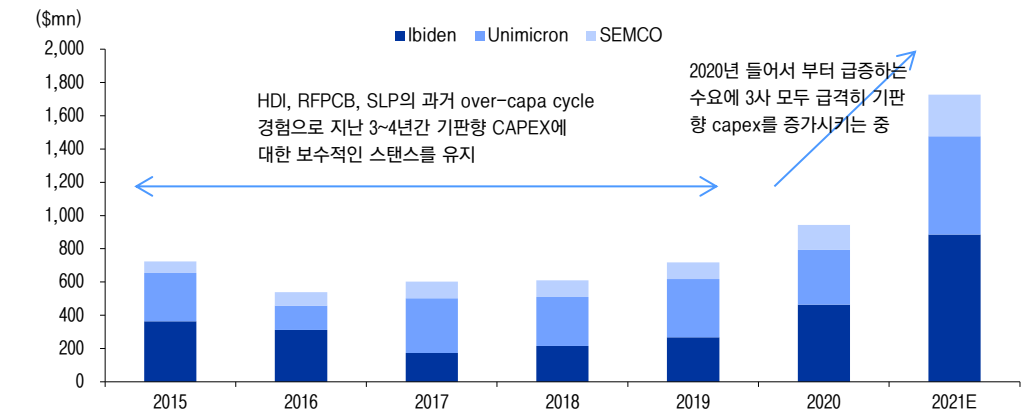
자료: TSMC, 이베스트투자증권 리서치센터

5년만에 찾아온 기판 업체들의 CAPA증설, 아직 집행도 안했다.

과거 HDI, RF-PCB, SLP의 공통점은 수요가 공급을 초과하는 시점에서 업체들의 과도한 증설로 인해 공급이 오히려 수요를 초과하는 현상이 발생하여 호황을 거의 누리지 못한 점이다. 이러한 경험을 바탕으로 대부분의 기판업체들의 증설 계획은 상당히 은밀하고 보수적이게 진행되어 왔는데, 기판업체들이 오랜만에 다시 증설을 강하게 진행하고 있다.

이비덴의 2016~2019 평균 capex는 약 \$242mn(약 2,700억원) 이었지만 3Q20까지 이미 \$465mn을 집행하였고, 2021년 계획은 \$885mn 수준이다. 유니마이크론의 경우 2016~2020 평균 \$289mn 수준이었지만, 2021 투자 계획은 \$591mn이다. 삼성전기는 지난 4~5년간 전체 capex의 약 4~6% 수준을 기판 사업부에 투자해왔었지만 최근 HDI사업부와, RFPCB사업부 철수에도 불구하고 2020년 21%로 급격히 증가하였으며, 2021년 31% 수준까지 확대할 계획이다. 즉, 지난 3~4년간 기판업체들은 상당히 보수적인 capa 증설 스탠스를 유지하고 있었는데, 작년 및 올해부터 스탠스가 바뀌었으며, 이러한 급격한 스탠스 변화 이면에는 수요에 대한 가시성이 과거 대비 확보되었을 가능성이 높다.

그림8 기판향 capex 2020년부터 급격히 증가하는 추세



자료: Ibiden, Unimicron, 삼성전기, 이베스트투자증권 리서치센터

작년 9월 초 인텍플러스는 이비덴과 공급계약을 체결하였다. 이비덴은 기판계 가장 선두업체라 불리는 업체다. 특히 동사는 2019~2021 Ogaki 중앙공장 전환투자 약 7,500억원, 2020~2021 Ogaki2공장 신규투자 6,500억원 등 CAPA증설 계획을 발표하며 기판 업체 중 가장 공격적인 증설을 하는 업체 중 하나이다. 이비덴의 업계 지위와 증설 계획을 고려하였을 때 벤더 진입은 인텍플러스 입장에서 상당히 의미 있는 사건이다.

표3 이비덴 증설계획

	2H18	1H20
Investment	production facilities for IC package substrate toward the next-generation products and the new markets	Revamp of production capacity for IC substrate and next-generation technology as the second investment
Investment value	70bn yen consolidated btw FY2019 and FY2021	60bn yen, total 130bn yen btw 2020 and 2022
Installation site	The second building at Ogaki Central Plant and Ogaki Plant	2nd building at Ogaki Central Plant
Period of Operation	Plan to come online sequentially in FY 2019 and start commercial production in FY2020	Operate sequentially at the end of FY2020 and start commercial production in FY2021
Production Capacity	IC package substrate by 50%(Layer conversion) including the contribution from the prior investment by FY2021	

자료: Ibsiden, 이베스트투자증권 리서치센터

당사는 인텍플러스의 이비덴향 매출이 향후 크게 증가할 것으로 전망된다. 지난 2019년 이비덴의 사업보고서를 보면 Ogaki 중앙공장과, 2공장을 포함한 투자예정 총액이 약 1,761억엔(약 1.9조원), 기납입금액은 276억엔(약 2,900억원)으로 기재되어 있다. 이후 actual year 기준 이비덴의 추가적인 유형자산 취득 금액은 +378억엔으로 전체 투자 예정금액의 37% 수준밖에 집행되지 않았다. 2018~2019년 이비덴은 기존 외형검사장비 벤더인 다카오카로부터 약 20대 이상 장비를 납품받았는데, 다카오카의 장비 리드타임이 1년에 가까운 수준인 점을 고려해 본다면 나머지 63%에 해당되는 capex 중 상당부분은 인텍플러스에게 할당될 확률이 높다.

표4 아직 투자계획 중 투자 미집행분이 많은 이비덴

회사명	사업소명	사업부문	시설내용	총액(백만엔)	기납입금(백만엔)	자금조달방법	투자시작일	예상투자종료일
IBIDEN	Ogaki Central	전자	생산설비	7,630	1,804	자기자본	2018.12	2021.05
IBIDEN	Ogaki Central	전자	생산설비	80,095	25,118	자기자본+차입	2018.10	2021.06
IBIDEN	Ogaki Central	전자	생산설비	18,880	276	자기자본	2019.06	2022.03
IBIDEN	Ogaki Central	전자	발전설비	2,695	0	자기자본	2019.10	2021.05
IBIDEN	Ogaki Central	전자	생산설비	41,129	8	자기자본	2020.01	2023.08
IBIDEN	Aoyanagi	전자	생산설비	6,730	0	자기자본	2019.12	2023.03
IBIDEN	Ogaki	전자	생산설비	6,710	149	자기자본	2020.01	2023.09
IBIDEN	Phillippines	전자	생산설비	10,162	87	자기자본	2020.01	2022.10
IBIDEN	Hungary	세라믹	생산설비	2,036	147	자기자본	2019.07	2021.20
Total				176,067	27,589			
3Q20					22,444			
유형자산 취득								
4Q20					15,406			
유형자산 취득								
Total				176,067	65,439			
투자 미집행분					110,628			

자료: Ibsiden, 이베스트투자증권 리서치센터

인텔과 인텔플러스

Fab-lite 전환은 동사에게 호재

지난 2Q20 인텔의 earnings call에서 fab-lite(일부 전공정을 foundry외주 주어 설계에 더 집중하는 형태) 전환 가능성이 촉발되며, 인텔플러스 모멘텀에 대한 의구심이 자주 제기되었다. 하지만 결론부터 말하자면, 동사에게 있어 인텔의 fab-lite전환은 전혀 상관없이 없으며, 오히려 호재라 말할 수 있다.

표5 2Q20 Intel Earnings call에서 밝힌 외주 파운드리 가능성

본문	번역	Implication
We will continue to invest in our future process technology road map, but we will be pragmatic and objective in deploying the process technology that delivers the most predictability and performance for our customers, whether that be on our process, external foundry process, or a combination of both. Our advanced packaging technologies, combined with our disaggregated architecture, give us tremendous flexibility to use the process technology that best serves our customers. As an example, our data center GPU design, Ponte Vecchio, will now be released in late 2021 or early 2022, utilizing external and internal process technologies, combined with our world-leading packaging technologies. We now expect to see initial production shipments of our first Intel-based seven-nanometer product, a client CPU, in late '22 or early '23.	향후 공정 기술 로드맵에 계속 투자하겠지만, 인텔의 내부 공정, 외부 파운드리 공정, 또는 두 가지 모두의 조합에 관계없이 고객에게 최고의 예측성과 성능을 제공하는 공정 기술을 구현하는 데 있어 실용적이고 객관적일 것이다. 인텔의 고급 패키징 기술은 세분화된 아키텍처와 결합되어 고객에게 가장 적합한 공정 기술을 사용할 수 있는 엄청난 유연성을 제공한다. 예를 들어, 인텔의 데이터 센터 GPU 설계인 Ponte Vecchio는 이제 2021년 말 또는 2022년 초에 출시될 예정으로, 인텔의 세계 최고의 패키지 기술과 결합되어 외부 및 내부 공정 기술을 활용한다. 이제 22년 말이나 23년 초에 최초의 인텔 기반 7나노미터 제품인 클라이언트 CPU의 초기 생산 물량을 볼 수 있을 것으로 예상된다.	내부 공정 외에 외부 파운드리 가능성을 처음 언급한 동시에 Advanced packaging 기술을 강조

자료: Intel, 이베스트투자증권 리서치센터

Fab-lite의 사전적 의미는 종합반도체 업체가 전체 투자 규모에서 생산에 대한 비중을 줄이는 대신 설계 분야에 더 집중한다는 뜻이다. 따라서 인텔이 외주 파운드리를 사용할 시 특정 노드제품을 통째로, 전공정뿐만 아니라 후공정 패키징 역시 외주화 할 것이라는 우려가 팽배하다.

하지만 당사는 인텔플러스와 관련있는 인텔의 후공정 패키징은 인텔이 자체적으로 할 가능성이 높으며, 오히려 후공정에 전보다 더 집중할 것이라 판단한다. 노드경쟁에서 우위를 점차 잃어가고 있는 만큼 인텔 입장에서 후공정은 노드 차이를 극복할 수 있는 유일한 대안이기 때문이다. 인텔의 이러한 입장은 earnings call에서 확인할 수 있는데, 인텔은 2Q20 earnings call 이후 IDM의 장점을 자주 언급하며 종합반도체업체로서의 형태 유지를 강하게 피력하고 있다.

표6 인텔 3Q20 earnings call

본문	번역	Implication
Finally, let me share a few thoughts about the guiding principles we use to deliver the most value for our customers. Our overarching and most important priority is to deliver a predictable cadence of leadership products. A few years ago we decided that an architectural shift to die disaggregation enabled by our differentiated advanced packaging would be a potent tool for employing the best technologies that we and the ecosystem can provide.	마지막으로, 고객에게 가장 큰 가치를 제공하기 위해 사용하는 지침 원칙에 대해 말씀드리겠습니다. 당사의 가장 중요하고 가장 중요한 우선 순위는 예측 가능한 수준의 리더십 제품을 제공하는 것이다. 몇 년 전 우리는 차별화된 고급 패키징에 의해 구현된 다이 세분화로의 아키텍처 변화를 우리와 생태계가 제공할 수 있는 최고의 기술을 채택하는 강력한 도구로 삼기로 결정했다.	외주 파운드리 가능성 언급 이후 인텔은 IDM의 장점에 대해 지속적으로 언급하며 종합반도체 업체형태 유지 의지를 강하게 피력하고 있음
That said, we have and do get great benefits from internal manufacturing. We call it our IDM advantage, because it provides us attractive economics, co-optimization of design and process technology development and supply assurance. So as we engage the ecosystem more broadly, we want to preserve some of the advantages of IDM like schedule, performance and supply, as we work with our strategic partners.	그렇긴 하지만, 우리는 내부 제조에서 많은 이점을 얻고 있다. 이를 IDM의 장점이라고 한다. 매력적인 경제성과 설계 및 공정 기술 개발과 공급 보장을 함께 최적화하기 때문이다. 그래서 우리는 생태계를 보다 폭넓게 운영하면서 전략적인 파트너들과 협력하면서 제품 일정, 성능, 공급과 같은 IDM의 장점을 유지하고자 한다.	Advanced Packaging은 노드경쟁의 열위를 극복하기 위한 인텔의 돌파구로 관련 투자와 적용제품 확대의 의지를 지속적으로 표출
Finally, I want to reiterate our intention to continue investing in leading process technology development to bring future process nodes and advanced packaging capabilities to market. This is a powerful force in creating future differentiation for our products and provides tremendous option value for our business.	마지막으로, 미래 프로세스 노드와 고급 패키징 기능을 시장에 출시하기 위해 선도적인 프로세스 기술 개발에 지속적으로 투자하고자 하는 우리의 의도를 다시 한 번 말씀 드리고 싶다. 이는 미래의 제품 차별화를 실현하는 강력한 힘이며 비즈니스에 엄청난 옵션 가치를 제공한다.	

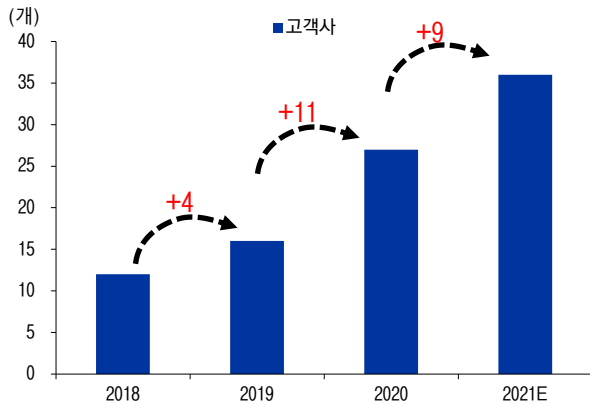
자료: Intel, 이베스트투자증권 리서치센터

인텔의 단일 이슈가 끼치는 영향은 점차 감소할 전망

인텍플러스는 인텔의 점유율 하락, CEO교체, fab-lite 전환 가능성 등 인텔의 단일 이슈에 따라 주가 등락폭이 크게 연동되는 모습을 보여왔다. 이는 동사가 처음 시장에 알려지기 시작했을 당시 '인텔 쏘벤더'로 투자포인트가 잡혔기 때문인데, 동사가 인텔 단일벤더로 등록됨에 따라 기대하는 바는 단기간 대규모 수주가 아닌 인텔이 주는 레퍼런스로 인한 고객사 증가다.

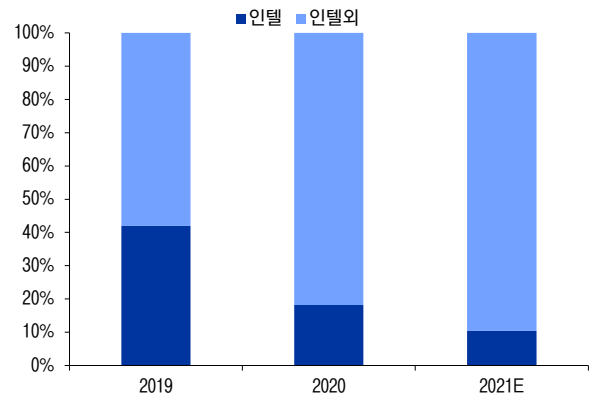
2018년 인텔에 첫 제품을 납품하기 전, 고객사 증가는 동사에게 매년 있는 이벤트가 아니었다. 하지만 납품 이후 2019년 +4개, 2020년 +11개가 증가하였고 2021E은 약 +9개가 증가할 것으로 기대된다. 이러한 납품처 다각화는 동사에게 인텔 의존도를 점차 낮추는 상황을 만들고 있고 이러한 추세는 향후 지속될 것으로 전망된다.

그림9 인텍플러스 고객사 증가 추이



자료: 인텍플러스, 이베스트투자증권 리서치센터

그림10 인텔향 매출비중 추이



자료: 인텍플러스, 이베스트투자증권 리서치센터

Advanced Packaging 적용 제품, 이제 확대된다

느린 속도로 증가하던 Advanced Packaging이 적용된 제품군이 점차 빨라질 것으로 기대된다. 인텔은 지난 2017년 Advanced packaging 관련 발표하며 중장기적 후공정 패키징 로드맵을 제시하였다. 2017년 발표 이후 14nm 스카이레이크(Sky Lake) 아키텍처 기반 카비레이크(Kaby Lake)에 EMIB를 적용하였으며, 2년 뒤인 2019년 써니코브(Sunny Cove) 기반 아이스레이크(Ice Lake)에 Foveros를 적용하였다. 물론 2019년 Agilex FPGA에도 적용되었지만, 범용 제품군이 아니기 때문에 물량적으로 큰 의미는 없다.

그림11 Ice lake 기반 Dell XPS 13



자료: Dell, 이베스트투자증권 리서치센터

그림12 Foveros 적용 Galaxy Book S



자료: Samsung, 이베스트투자증권 리서치센터

사실상 인텔의 거창한 발표 대비 advanced packaging의 적용 제품군은 미약한 편이다. Agilex 10 FPGA는 말할 것도 없거니와, CPU는 i5 이상 하이엔드에만 적용되었는데, 적용 제품도 두 종류 밖에 없다. Sunny cove 기반 Ice lake는 태블릿+노트북 역할을 겸하는 Dell XPS13, Galaxy Book S 정도만 탑재되어 물량도 미비한 수준이다.

발표와 동시에 첫 적용 제품이 양산되었지만, 이후 2년 뒤 상대적으로 수량이 적은 하이엔드 모델에만 적용되었고 2020년엔 적용 제품이 없었다.

하지만 인텔이 내년 EMIB가 적용 예정인 사이프레스코브(Cypress Cove) 기반 로켓레이크(Rocket Lake)는 데스크탑 프로세서로 출시 예정이기 때문에, 모바일(태블릿, 노트북 포함) 대비 물량이 증가할 것으로 기대된다.

표7 아키텍처별 모바일/데스크톱 CPU 공정변화

변화	출시연도	마이크로아키텍처	코드네임	선폭
공정미세화	2006년	넛버스트	프레슬러, 시더밀, 요나	65nm
아키텍처변화	2006년	코어	메롬, 콘로, 우드크레스트	65nm
공정미세화	2008년		펜린	45nm
아키텍처변화	2008년	네할렘	네할렘(1st gen)	45nm
공정미세화	2010년		웨스트미어(1st gen)	32nm
아키텍처변화	2011년	샌디브릿지	샌디브리지(2nd gen)	32nm
공정미세화	2012년		아이비브리지(3rd gen)	22nm
아키텍처변화	2013년	하스웰	하스웰(4th gen)	22nm
최적화	2014년		데빌스캐년(4th gen)	22nm
공정미세화	2014년		브로드웰(5th gen)	14nm
아키텍처변화	2015년		스카이레이크(6th gen)	14nm
최적화	2016년	스카이레이크	카비레이크(7th gen)	14nm
최적화	2017년		카비레이크 R(8th gen)	14nm
최적화	2017년		커피레이크(8th gen)	14nm
최적화	2018년		위스키/엠퍼레이크(8th gen)	14nm
최적화	2018년		카비레이크 G(8th gen)	14nm(EMIB 적용)(인텔 CPU+AMD GPU)
최적화	2018년		커피레이크R(9th gen)	14nm
공정미세화	2018년		캐논레이크(9th gen)	10nm(모바일)(일부 생산 후 중단)
최적화	2019년		코멧레이크(10th gen)	14nm(데스크탑)
아키텍처변화	2019년	서니코브	아이스레이크(10th gen)	10nm(모바일)
아키텍처변화	2020년		레이크필드(10th gen)	Hybrid / 10nm(모바일)(Foveros 적용)
최적화	2020년	스카이레이크	코멧레이크S(10th gen)	14nm(데스크탑)
	2021년E	사이프러스 코브	로켓레이크S(11th gen)	14nm(데스크탑) EMIB 적용 전망
	2021년E	월로우코브	타이거레이크(11th gen)	10nm SuperFin(모바일)
	2021년E	골든코브	엘더레이크(11th gen)	Hybrid / 10nm, Foveros 적용 전망

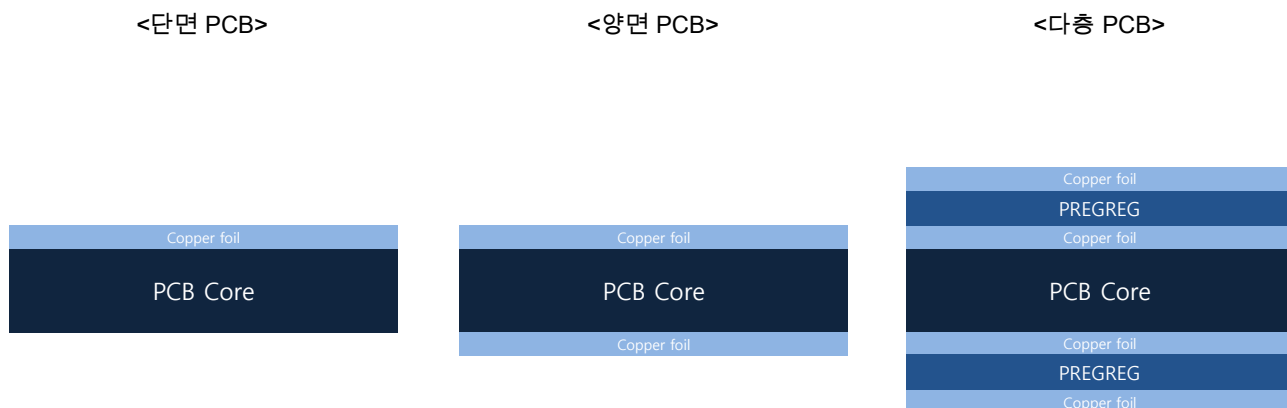
자료: Intel, 이베스트투자증권 리서치센터

ABF기판 확대로 동사 WSI방식 부각

FC-BGA는 ABF기판이 필연적

양면기판은 동박+Core+동박이 한 층을 이룬다. 이 층을 기반(core)으로 prepreg(Pre-impregnated material)라는 중간재를 사용하여 동박을 위 아래로 적층한 제품이 다층 기판이다.

그림13 기판의 구성



자료: 이베스트투자증권 리서치센터

Prepreg는 강화섬유에 미리 수지를 함침시켜 놓은 합성물이다. 대개 epoxy 수지와 합성시켜 제조된다. 다양한 수요 충족을 위해 섬유와 수지의 배합비율을 달리하거나, 첨가 소재를 다양하게 하여 상당히 많은 종류의 prepreg가 존재한다.

Prepreg의 역할은 회로간의 절연과 동박판 간의 접착을 담당하는데, 반도체가 점진적으로 고성능화 됨에 따라 발열성에 대한 내구성이 prepreg 제조의 주요 고려사항으로 대두되고 있다.

이러한 이슈에 가장 많이 노출되어 있는 하이엔드 Flip-chip계열의 반도체 기판에선 열 내구성이 뛰어난 BT(Bismaleimide)수지와 ABF(Ajinomoto Build-up Film)를 prepreg합성 시 첨가시키고 있다.

BT 수지는 B성분(Bismaleimide)와 T성분(Triazine)을 기반으로 epoxy화합물과 anyle 화합물을 합성시킨 합성수지다. 내열성, 절연특성이 타 첨가제 대비 뛰어나며, 유전특성 또한 우수하다. ABF는 말 그대로 일본 아지노모토사(TYO: 2802)에서 개발, 제조하고 있는 반투명 형태의 절연필름이다. ABF 역시 내열성, 절연특성, 유전특성 모두 뛰어나다.

최근 추세는 FC계열 반도체 기판이 고성능화 됨에 따라 ABF의 사용이 확장되고 있다. BT는 유리 섬유 원사 층이 있고 배선이 더 번거롭고 천공이 어렵기 때문에 미세한 라인의 요구 사항을 충족시키기 힘들기 때문이다. 상대적으로 경박단소화에 초점을 맞춘 FC-CSP계열에선 BT 수지를 사용하지만, 성능에 초점을 맞춘 FC-BGA의 경우 ABF 사용이 확대되고 있다.

그림14 FPGA 절대 강자 자일링스, 이미 10년 전부터 BT 계열에서 ABF로 전환 시작



Flip Chip Substrates BT to ABF Conversion for Two Aerospace & Defense 'XQ' Virtex-II Pro FPGA Devices

XCN10014 (v1.0) April 19, 2010
Product Change Notice

Overview

The purpose of this notification is to announce the conversion of substrate material from BT to ABF build-up for two Aerospace and Defense 'XQ' Virtex®-II Pro FPGA device/packages. There is no change to the form, fit, function or reliability with this change.

Description

For the below affected products, substrate materials will be converted from BT to ABF build-up. The reason for the change is the phase out of UV laser equipment support at the substrate supplier. To ensure continuity of supply for flip chip products, BT will be replaced by ABF since UV laser is not required to form vias with ABF material. The ABF materials set has been qualified and in production for other Virtex-II Pro FPGA, Virtex-4 FPGA and Virtex®-5 FPGA products for 10 years.

Products Affected

This change affects all speed, package, and temperature variations of the commercial (C) and industrial (I) grade devices. Affected part numbers are included in the following table(s):

Table 1: Product Changes

Xilinx Product	Package	Change Description
XQ2VP70	FF1704	Build-up materials set change from BT to ABF
XQ2VP70	EF1704	Build-up materials set change from BT to ABF

Note: All SCD parts are also affected.

Key Dates and Ordering Information

Xilinx will begin to ship product using ABF substrate material with date codes on or after 90 days of PCN date.

자료: Xilinx, 이베스트투자증권 리서치센터

위 그림 14에 따르면 FPGA 글로벌 1위 기업인 Xilinx는 이미 2010년경부터 prepreg의 합성 절연 소재를 BT수지에서 ABF로 바꾸기 시작하였다. FPGA는 자율주행 등의 AI 딥러닝, 데이터센터 등에 확산되고 있는 로직 반도체로 단연 FC-BGA계열 중 high-end에 속한다.

최근 기관 관련 뉴스플로우에 보면 ABF 기관 쇼티지에 대한 언급이 잦은데, 이는 데이터센터 확장국면, 차량의 전장화, 통신인프라(기지국장비, MEC, etc) 확대 등, High-end FC-BGA 제품군의 호황에 따라 ABF 수요가 급증하고 있기 때문이다.

표8 전기차, 데이터센터에 탑재되는 ABF 공급 부족현상

날짜	제목	해석
2019-05-15	The supply of ajinomoto build-up film (ABF) substrates has been tight, and will continue to fall short of demand in the second half of 2019, according to industry sources.	ABF 기판 지속 공급 부족, 2019년 하반기 까지 지속 전망
2021-01-06	ABF substrate demand simmering for high-end EV chips	고사향 전기차 chip향 ABF 기판 수요 폭증
2021-01-07	Reports from fall, 2020 suggested that TSMC was working through a shortage of ABF substrate. ABF (Ajinomoto Build-up Film) is a resin that insulates modern ICs and resists expansion and contraction based on changes in temperature.	2020 TSMC ABF 기판 공급 부족현상 해결 노력. ABF는 IC 절연체로 온도로 인한 팽창 및 수축현상을 방지해 줌.
2021-01-19	High-end ABF substrates in increasingly short supply for HPC, server chips	고사향 ABF 기판 데이터센터향 HPC 공급 부족현상 지속

자료: 언론보도 취합, 이베스트투자증권 리서치센터

ABF 기판은 반투명 재질로 동사 검사 기술이 가장 적합

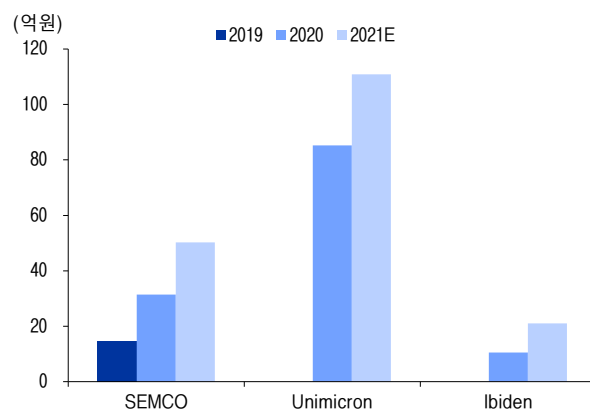
ABF기판 확대로 high-end FCBGA 기판 업체들 사이에서 인텍플러스가 주목받고 있다. ABF는 필름형태의 반투명 재질인 반면, BT계열 제품은 상위 판막에 PR을 도포하기 때문에 불투명 재질이다. 기존 광학 외관검사는 ToF, Structured Light, Stereo와 같이 주사된 빛이 물체에 반사되어 나온 경로, 시간, 각도 등을 통해 형태를 인식한다. BT계열은 표면 자체가 불투명이기 때문에 기존 검사 방식을 고수할 수 있지만, ABF의 경우 재질(반투명) 특성상 빛이 반사할 때 굴절을 일으켜 인식 자체에 오류를 일으킨다. 반면 WSI 방식은 기존방식과 달리 빛을 수직으로 송수신 하는 방식이기 때문에 굴절 오차가 적다. 기판 검사장비에 WSI를 적용시킨 업체는 인텍플러스가 유일하기 때문에, 향후 ABF채용이 증가할 수록 동사 장비에 대한 니즈는 증가할 것이다.

그림15 아지노모토 필름은 반투명 재질



자료: Ajinomoto, 이베스트투자증권 리서치센터

그림16 인텍플러스의 FC-BGA 업체들 향 매출 증가 추세



자료: 인텍플러스, 이베스트투자증권 리서치센터

FPGA, 자율주행과 데이터센터에 왜 주목받고 있는가

ASIC vs ASSP

로직 반도체 기업들은 대개 납품하는 시스템 반도체의 기능과 설계를 표준화하고, 완성품 제조사들(스마트폰, PC 등)은 그 설계에 맞게 제품을 제조한다. 이를 ASSP(Application-Specific Standard Parts: 특정용으로 표준화한 반도체)라 하며, 스마트폰에 탑재되는 AP(Application Processor), PC 및 노트북에 탑재되는 CPU(Central Processing Unit), GPU(Graphics Processing Unit) 등이 이에 속한다.

이와 상반되는 개념은 ASIC(Application Specific Integrated Circuit)반도체다. ASIC 반도체 역시 용도가 분명히 특정되어 설계되는 반도체지만 ASSP와 달리 표준화된 반도체는 아니다. 즉 한 기업에서 제품 설계를 하여 특정 제품, 혹은 application에 사용되도록 고안된 제품이다. 쉽게 표현하자면 ASSP는 기성품, ASIC은 맞춤품이다.

ASIC의 특징은 한마디로 고성능 스포츠카다. 특정 연산처리에 특화되어 있기 때문에 효율이 뛰어나지만, 매우 비싸다. 웨이퍼 공정만 해도 2개월 이상 소요되며, 사용되는 마스크(mask)역시 장당 몇 백만원에 달한다. 후공정 역시 특수 설계를 필요로 하기 때문에 후공정에서만 2개월 이상이 추가로 소요되어 ASIC 자체 주문 가격만 최소 억단 위다.

그림17 Bitmain ASIC ANT miner



자료: Bitmain, 이베스트투자증권 리서치센터

그림18 Qualcomm Snapdragon (ASSP)



자료: Qualcomm, 이베스트투자증권 리서치센터

FPGA

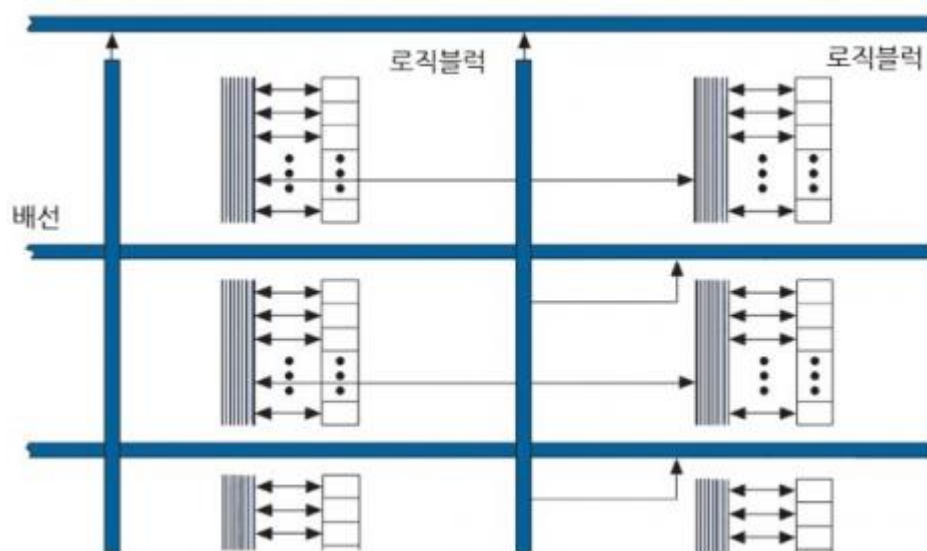
FPGA(Field Programmable Gate Array)는 프로그래밍이 가능한 로직 반도체로, ASIC과 ASSP의 특징을 모두 가진 반도체 칩이다. ASIC처럼 주문 제작하는 방식이지만, ASSP처럼 범용성을 가진다. ASIC과 ASSP와 차이점은 두 반도체의 경우 설계자가 프로그램 해놓은 기존 기능을 제작이 완료된 시점에서 바꿀 수 없지만, FPGA의 경우 완성된 칩 단위에서 사용자에게 용도에 따라 재 프로그래밍(programmable)이 가능

하다.

FPGA는 ASIC만큼 완전 주문형 반도체가 아닌 범용으로 쓰이는 주문형 반도체로, ASIC대비 전체적인 성능 효율 면에서는 열위에 있는 편이다. 예를 들어 FPGA는 사용자가 구동에 필요한 자원보다 더 많은 자원을 함유하고 있을 수도 있고, 따라서 사용하고 싶은 전력 대비 더 많은 전력이 소요될 수도 있다.

FPGA의 장점 중 하나는 초기 제조비용이 훨씬 저렴한 것이다. ASIC은 NRE(Non-recurring Engineering) cost란 비용(억단위)을 지불해야 IC 샘플을 받을 수 있는데, IC 샘플에 만일 구동 오류가 있다면 다시 NRE cost가 소모된다. 반면 FPGA는 특정한 배열로 로직블럭(Logic Block)을 나열해 놓은 형태이기 때문에 IC 샘플을 위한 NRE cost가 발생되지 않는다.

그림19 FPGA 구조



자료: 업계자료, 이베스트투자증권 리서치센터

위 그림 15에서 보면 FPGA는 로직블럭이 규칙적으로 반복적으로 배열되어 있다. 이러한 형태로 사용자에게 납품되면 사용자는 각 로직블럭의 연결선을 임의적으로 배치하여 필요한 동작을 구현하는데, 이러한 의미에서 프로그래밍이 가능하다는 뜻을 쓰는 것이다. 이를 전문적으로 유연성(Flexibility)이 높다고 표현하고 있다.

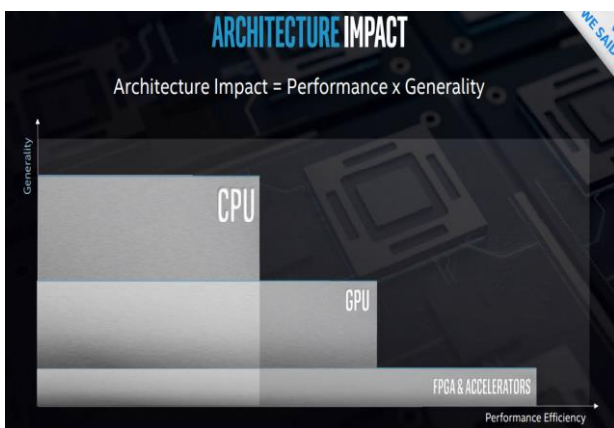
왜 주목받고 있는가

FPGA가 AI와 접목되어 자율주행, MEC등에 주목받고, 데이터센터 채용이 급격하게 증가하는 이유는 바로 이 Flexibility에 기인한다. AI에 근간이 되는 machine learning

은 간단한 연산의 반복과정이다. 기존 CPU의 직렬구조 (주기억 장치 – 중앙 처리 장치 – 입 출력 장치)는 이러한 과정에서 속도와 효율이 모두 떨어지는 한계를 보였다. 처음 이에 대한 한계를 허물어준 것은 GPU였다. 수 천 개의 코어 병렬 연산은 머신러닝, 딥러닝에서 기존 CPU대비 월등한 능력과 효율을 보여주었다. 하지만 GPU 또한 코어의 클럭을 통해 연산을 수행하기에 집적도가 높아질수록 발열이 심해지는 문제가 발생한다. 따라서 GPU가속기의 경우 전력 효율성에 대한 문제와, 데이터센터 설계 시 이를 위한 냉각 시스템 등의 추가 비용으로 전력 비효율성이 발생하는 문제가 최근 들어 거론되고 있다.

하지만 FPGA의 경우 사용자에게 의해 직렬 구조의 순차적 데이터처리, 병렬 구조의 일괄적 데이터 연산이 선택적(flexible)으로 가능하다. 따라서 CPU, GPU의 단독이 아닌 FPGA를 하드웨어 가속기로 사용하며 효율을 극대화 하는 방법이 각광받고 있다.

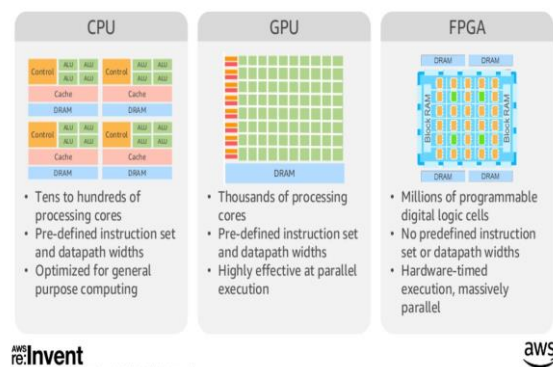
그림20 FPGA 가속기 사용시 성능 변화



자료: Intel, 이베스트투자증권 리서치센터

그림21 CPU vs GPU vs FPGA

PARALLEL PROCESSING IN GPU AND FPGA

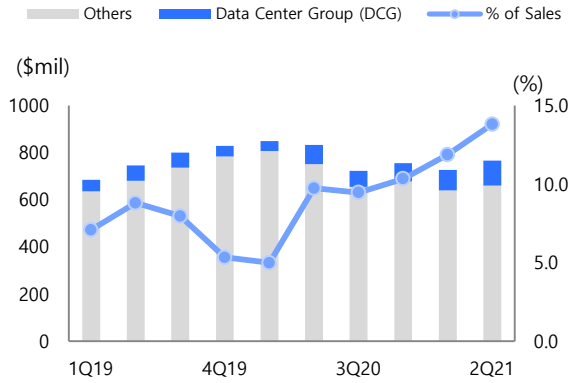


자료: AWS, 이베스트투자증권 리서치센터

데이터센터는 끊임없이 확장되는 영역이다. 새로운 기기 및 설비를 지속적으로 설치해야 하며, 기존 장비들과의 연동도 지속되어야 한다. 이러한 일괄의 과정 중 장비의 효율화와 오류를 수정하는 작업을 계속 반복하게 되는데, 이미 프로그램이 되어있는 ASSP나 ASIC으로만 구성되어 있다면, 특정 오류에 있어 하드웨어 자체를 폐기해야 되는 상황도 발생한다. 하지만 재 프로그래밍이 가능한, 유연한 FPGA의 경우 논리(logic)을 변형할 수 있기 때문에 훨씬 효율적인 확장이 가능하다.

이러한 유연성은 AI가속기로써도 적합한 특징이다. 머신러닝, 딥러닝의 프레임워크는 약 3~6개월로 FPGA는 이러한 변화에 대응하기 용이하다. 이러한 특징을 바탕으로 XILINX는 'Data Center First'를 핵심 전략으로 FPGA의 데이터센터 향 침투율을 높여가고 있으며, 인텔 또한 서버 향 FPGA신제품과 이와 완벽히 호환하는 서버 전용 CPU 출시를 앞두고 있다

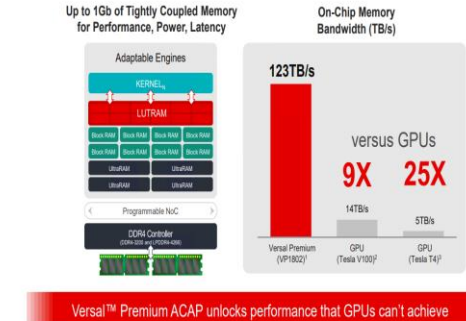
그림22 자일링스 데이터센터향 FPGA 매출 상승 추세



자료: Xilinx, 이베스트투자증권 리서치센터

그림23 FPGA 하드웨어 가속기 사용시 BW 급격히 증가

Key to Acceleration: On-Chip Memory Bandwidth and Capacity



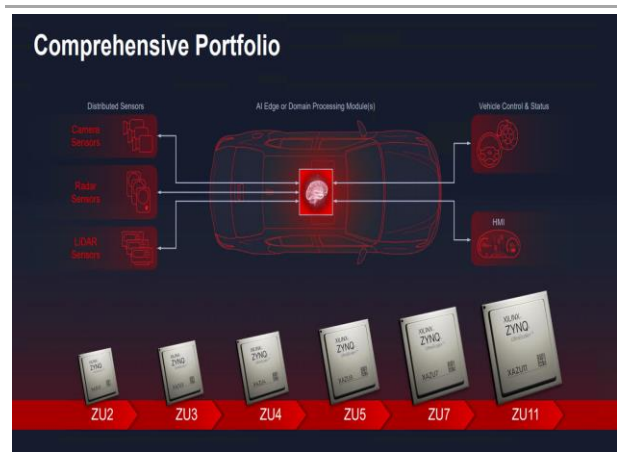
자료: Xilinx, 이베스트투자증권 리서치센터

그림24 자일링스 전장향 매출 증가 추이



자료: Xilinx, 이베스트투자증권 리서치센터

그림25 전장 적용 제품 군



자료: Xilinx, 이베스트투자증권 리서치센터

실적추정

당사는 인텍플러스의 2021년 실적을 매출액 868억원(yoy +54%), 영업이익 187억원(yoy +163% / OPM 21.6%)으로 동사의 가이던스를 상회할 가능성이 높다 전망한다. 가이던스 상회 요인은, 기관 업체들의 올해 증설 강도가 작년 대비 크게 증가하는 가운데, 동사 기관사업부 가이던스가 상대적으로 보수적이기 때문이다. 참고로 동사의 현재 가이던스는 매출액 700억 중반, 환율 1,050원 기준 영업이익률 15~16% 수준이다.

동사의 기관사업부 가이던스는 전체 매출액에 약 30%로 이를 환산 시, 210~230억원 수준이다. 이 중 high-end FCBGA 업체들(Ibiden, Unimicron, SEMCO 등)향 매출은 70~90억원 수준으로 추정되는데, 작년 동사의 이러한 메인 업체들 향 매출은 125억원을 초과한다. 즉, **주요 기관업체들의 2020 vs 2021년 증설 금액은 약 +83% 증가하는데 반해, 이러한 업체들에 대한 동사의 매출 전망은 오히려 -44%가량 감소하게 잡혀있다.** High-end FCBGA에서 ABF기관은 필연적이고, ABF기관에 대한 동사 검사장비의 경쟁력을 고려하였을 때, 이는 동사의 M/S를 타사에게 뺏기는 시나리오보다는 오히려 동사의 추정이 보수적이라는 해석이 맞다 판단한다.

현재 상황으로써 동사의 작년 실적은 2020년 연초 가이던스 대비 하회할 가능성이 높다. 기관사업부가 연초 계획대비 약 70억 초과하였음에도 불구하고, 작년 BOE B11향 매출이 공장장 교체 이슈로 급작스럽게 변경되면서 디스플레이 사업부 매출이 계획대비 약 100억원가량 감소하였기 때문이다. 이러한 경험으로 인해 동사는 올해 전사업부 가이던스를 보수적이게 제시하고 있는 것으로 보여진다.

표9 사업부별 실적추이

(억원)	1Q20	2Q20	3Q20	4Q20E	1Q21E	2Q21E	3Q21E	4Q21E	2019	2020E	2021E
매출액	129	111	137	188	189	233	251	194	405	565	868
YoY	64%	-20%	128%	32%	47%	111%	83%	3%	152%	39%	54%
부분별											
반도체	47	51	57	101	69	96	102	63	253	257	330
기관	26	36	62	72	103	73	100	57	38	196	333
디스플레이	0	14	5	5	14	61	20	41	77	24	135
2차전지	55	10	13	10	4	4	29	34	38	88	70
YoY											
반도체	-31%	-48%	47%	32%	48%	86%	78%	-38%	216%	2%	29%
기관	148%	517%	260%	1206%	290%	106%	61%	-21%	-	419%	70%
디스플레이	204%	-58%	62%	-88%	3114%	346%	282%	710%	59%	-68%	454%
2차전지	1313%	-16%	235%	-45%	-94%	-65%	128%	243%	15%	134%	-20%
영업이익	13	13	24	28	38	55	62	32	47	74	187
YoY	128%	-51%	흑전	49%	190%	762%	160%	17%	흑전	58%	163%
OPM	10%	12%	17%	15%	20%	24%	25%	17%	12%	13%	22%

자료: 인텍플러스, 이베스트투자증권 리서치센터

표10 디스플레이사 CAPA 증설 계획

Panel	Fab	Gen	Type	2019	2020	2021F	비고
BOE	B6	5.5G R&D	Rigid				B6 R&D Line
	B7	6G	Flexible				B7 ph1~3 CAPA 45K
	B11	6G	Flexible				2020년 이연물량 일부
	B12	6G	Flexible		30	15	B12 ph1~3 CAPA 45K
	B15	6G	Flexible			15	B15 ph1~3 CAPA 45K
GVO	V1	5.5G	Rigid				V1 ph1~2 CAPA 15K, ph1 5K 2013 PO
	V2	6G	Flexible		15		V2 ph1~2 CAPA 30K
	V3	6G	Flexible	30		△	V3 ph1~2 CAPA 30K
CSOT	T4	6G	Flexible	15	15		T5 ph1~3 CAPA 45K
Truly	Huizhoi	4.5G	Rigid			△	Huizhoi ph1~2 CAPA 30K
	Sichuan	6G	Flexible			△	Sichuan ph1 CAPA 15K
EDO	Shanghai 2	6G	Flexible				Shanghai 2 ph1~2 CAPA 30K
	Shanghai 3	6G	Flexible			△	Shanghai 3 ph1~2 CAPA 30K
Tianma	Wuhan	6G	Flexible	15		△	TNM ph1~2 CAPA 30K
중화권 Total				-	45	75	
Samsung	A3	6G	Flexible				일부 라인 폴더블 패널 전환투자
	A4	6G	Flexible				일부 라인 폴더블 패널 전환투자
	A5	6G	Flexible			60	17년 A4 발주 이후 3년 공백, 4Q20~ PO start
	Q1(QD-OLED)	8G	Rigid	30	30		L8 Scrap 공간에 설치, Q1~Q4 or Q5까지 기대
	Q2(QD-OLED)	8G	Rigid				
	Q3(QD-OLED)	8G	Rigid			30	
	Q4(QD-OLED)	8G	Rigid			△	
LGD	E2	4G	Flexible				E2 ph1~3 full CAPA 22K
	E5	6G	Flexible				E5 ph1~2 full CAPA 30K
	E6	6G	Flexible				E6 ph1~2 full CAPA 30K, LGD POLED CAPEX 종료
국내 Total				-	30	90	
전체 Total				60	105	105	

자료: 각사, 이베스트투자증권 리서치센터

그림26 매출액 추이

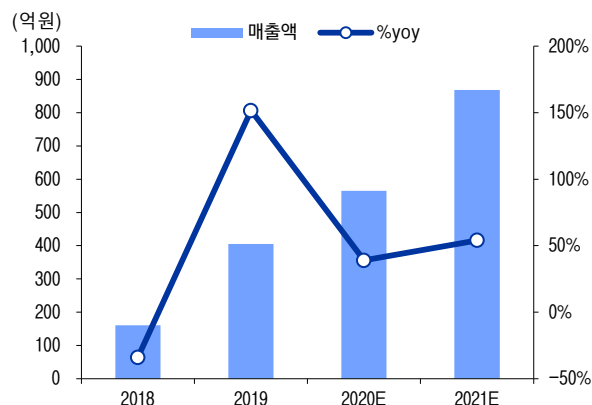
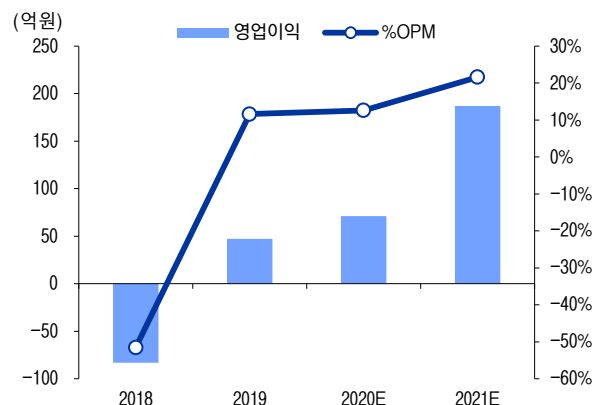
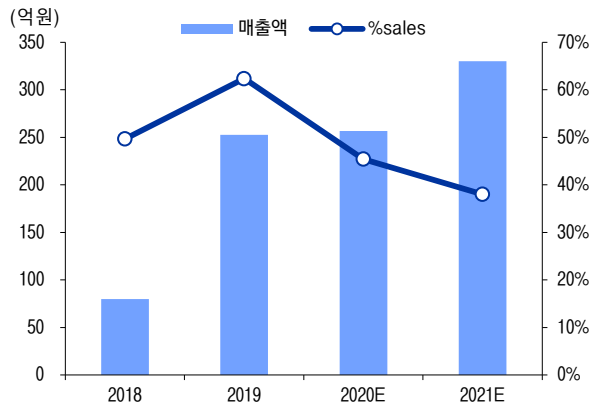


그림27 영업이익 추이



자료: 인텍플러스, 이베스트투자증권 리서치센터

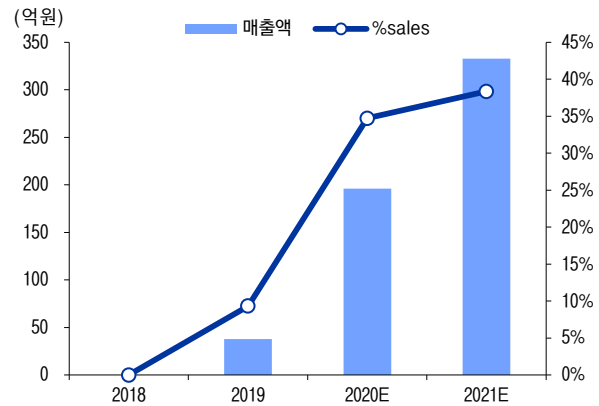
그림28 반도체사업부 매출 및 비중



자료: 인텍플러스, 이베스트투자증권 리서치센터

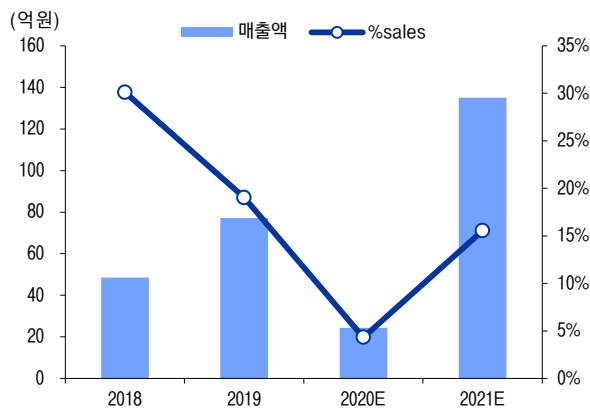
자료: 인텍플러스, 이베스트투자증권 리서치센터

그림29 기판사업부 매출 및 비중



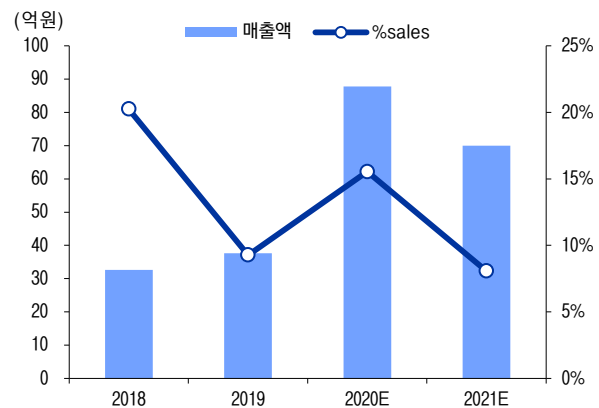
자료: 인텍플러스, 이베스트투자증권 리서치센터

그림30 디스플레이사업부 매출 및 비중



자료: 인텍플러스, 이베스트투자증권 리서치센터

그림31 2차전지 및 기타사업부 매출 및 비중



자료: 인텍플러스, 이베스트투자증권 리서치센터

Valuation

동사는 현재 성장 cycle 초입에 진입하며 멀티플 확장 국면에 접어들었다. 동사의 멀티플 산정을 위한 peer를 논할 때 같은 검사장비업체 고영 등이 언급되지만, 사실상 고영은 인텍플러스와 엄연히 성장 방향성 측면에서 크게 다르다. 적용 분야 측면에서 보았을 때 두 회사의 깊이와 면적이 상반되기 때문이다. 예를 들어 고영의 경우 비교적 ball pitch가 자유로운 메인보드용 Solder ball을 검사하며, 반도체 외에도 의료, 산업 등 매출처가 다양한 분야에 걸쳐있다. 하지만 인텍플러스의 경우 한번에 대용량의 칩을 생산할 수 있는 장점과, 매우 미세한 ball pitch를 검사할 수 있는 장점이 있지만, 성장 분야가 반도체에 쏠려있다.

따라서 당사는 동사의 peer를 선정함에 있어 1) IDM, Foundry, OSAT등 주요 글로벌 반도체 업체를 고객사로 가지고 있는 업체 중, 2) 해당 분야에서 독보적인 시장지위, 혹은 기술력을 가진 반도체 전문 국내장비업체를 동사의 멀티플 비교 peer로 꼽는 것이 타당하다 판단한다. 이 두 조건을 충족하는 업체는 이오테크닉스, 한미반도체, 파크시스템스 등이 있다. 이들의 2021년 예상 PER의 평균은 22배 수준이다.

표11 Peer Valuation table

업체명	시가총액(억원)	주가(원)		매출액	영업이익	영업이익률	순이익	EPS	BPS	PER	PBR
이오테크닉스	12,479	101,300	2019	2,065	71	3%	118	983	31,599	105	3.3
			2020E	3,339	542	16%	456	3,774	35,332	27	2.9
			2021E	4,670	884	19%	672	5,365	40,649	19	2.5
한미반도체	10,042	19,500	2019	1,204	137	11%	193	337	4,692	24	1.7
			2020E	2,575	672	26%	538	939		21	
			2021E	2,612	728	28%	581	1,014		19	
파크시스템스	6,970	104,500	2019	520	80	15%	85	1,277	6,656	32	6.1
			2020E	693	157	23%	151	2,263	11,722	46	8.9
			2021E	1,005	266	26%	250	3,747	15,230	28	6.9

자료: 이베스트투자증권 리서치센터

표12 목표주가 산출

항목①②		비고
① NI(억원)	148	2021년 예상치
② 발행주식수(천주)	1,218	
③ EPS(원)	1,215	① / ②
④ Target Multiple	22	이오테크닉스, 한미반도체, 파크시스템스 평균
* 적정주가	26,735	③ x ④
⑤ 목표주가	27,000	
⑥ 현재주가	18,500	
상승여력	46%	⑤ / ⑥ -1

자료: 이베스트투자증권 리서치센터

인텍플러스 (064290)

재무상태표

(억원)	2017	2018	2019	2020E	2021E
유동자산	201	179	292	431	583
현금 및 현금성자산	54	41	59	42	181
매출채권 및 기타채권	53	12	74	175	181
재고자산	81	87	106	192	199
기타유동자산	12	38	53	22	23
비유동자산	118	124	129	141	143
관계기업투자등	6	7	4	4	4
유형자산	97	94	94	94	94
무형자산	12	14	14	14	14
자산총계	319	303	421	572	726
유동부채	117	111	174	240	246
매입채무 및 기타채무	42	32	60	93	96
단기금융부채	43	55	74	96	96
기타유동부채	33	25	40	51	53
비유동부채	18	27	29	16	16
장기금융부채	11	13	12	2	2
기타비유동부채	7	13	18	14	14
부채총계	136	138	203	256	262
지배주주지분	183	164	217	312	460
자본금	55	63	63	63	63
자본잉여금	160	203	203	206	206
이익잉여금	-15	-85	-34	57	206
비지배주주지분(연결)	1	1	1	4	4
자본총계	184	165	218	316	464

현금흐름표

(억원)	2017	2018	2019	2020E	2021E
영업활동 현금흐름	11	-57	17	-51	147
당기순이익(손실)	-3	-65	54	92	148
비현금수익비용가감	23	22	20	21	6
유형자산감가상각비	3	3	4	4	4
무형자산상각비	1	1	2	3	2
기타현금수익비용	1	-16	3	14	-1
영업활동 자산부채변동	-9	-13	-57	-164	-7
매출채권 감소(증가)	-2	40	-63	-101	-6
재고자산 감소(증가)	-43	-25	-19	-93	-6
매입채무 증가(감소)	28	-9	28	33	3
기타자산, 부채변동	8	-19	-3	-2	2
투자활동 현금	4	-26	-13	17	-8
유형자산처분(취득)	-2	-4	-1	-3	-4
무형자산 감소(증가)	-8	-6	-3	-3	-3
투자자산 감소(증가)	0	0	1	30	0
기타투자활동	14	-15	-10	-7	-1
재무활동 현금	22	70	15	18	0
차입금의 증가(감소)	-17	18	15	12	0
자본의 증가(감소)	37	50	0	0	0
배당금의 지급	0	0	0	0	0
기타재무활동	1	2	0	6	0
현금의 증가	37	-13	18	-17	139
기초현금	17	54	41	59	42
기말현금	54	41	59	42	181

자료: 인텍플러스, 이베스트투자증권 리서치센터

손익계산서

(억원)	2017	2018	2019	2020E	2021E
매출액	243	161	405	565	868
매출원가	142	141	220	305	458
매출총이익	101	20	185	260	410
판매비 및 관리비	101	104	138	185	223
영업이익	0	-83	47	74	187
(EBITDA)	5	-79	54	82	194
금융손익	-8	0	1	3	-1
이자비용	2	2	3	3	3
관계기업등 투자손익	0	17	-3	1	1
기타영업외손익	5	2	-1	-10	3
세전계속사업이익	-3	-65	44	68	190
계속사업법인세비용	0	0	-10	-24	42
계속사업이익	-3	-65	54	92	148
중단사업이익	0	0	0	0	0
당기순이익	-3	-65	54	92	148
지배주주	-2	-64	54	92	148
총포괄이익	-1	-66	54	92	148
매출총이익률 (%)	41.6	12.6	45.8	46.0	47.3
영업이익률 (%)	0.1	-51.6	11.6	13.2	21.6
EBITDA마진률 (%)	2.1	-48.8	13.2	14.4	22.3
당기순이익률 (%)	-1.1	-40.4	13.4	16.2	17.1
ROA (%)	-0.8	-20.5	15.0	18.6	22.8
ROE (%)	-1.3	-36.8	28.5	34.9	38.4
ROIC (%)	0.1	-38.2	19.7	19.7	40.8

주요 투자지표

	2017	2018	2019	2020E	2021E
투자지표 (x)					
P/E	-273.1	-7.2	37.1	24.4	15.2
P/B	3.5	3.3	10.7	7.5	5.1
EV/EBITDA	122.7	-6.0	4.0	3.4	0.7
P/CF	29.8	n/a	28.3	20.6	15.1
배당수익률 (%)	n/a	n/a	n/a	n/a	n/a
성장성 (%)					
매출액	0.0	-33.7	151.6	39.4	53.6
영업이익	0.0	적전	흑전	58.2	151.4
세전이익	적지	적지	흑전	53.3	180.0
당기순이익	적지	적지	흑전	69.1	61.5
EPS	적지	적지	흑전	52.3	60.2
안정성 (%)					
부채비율	73.8	83.6	93.4	81.1	56.5
유동비율	171.4	160.6	167.7	179.3	237.4
순차입금/자기자본(x)	-6.5	-5.4	-8.3	12.7	-21.4
영업이익/금융비용(x)	0.1	-34.0	15.6	28.1	71.7
총차입금 (십억원)	54	68	86	98	98
순차입금 (십억원)	-12	-9	-18	40	-99
주당지표(원)					
EPS	-21	-600	498	759	1,215
BPS	1,657	1,311	1,733	2,478	3,656
CFPS	192	n/a	654	897	1,227
DPS	n/a	n/a	n/a	n/a	n/a

인텍플러스 목표주가 추이			투자의견 변동내역											
(원)	주가	목표주가	일시	투자 의견	목표 가격	과락율(%)			일시	투자 의견	목표 가격	과락율(%)		
						최저 대비	최고 대비	평균 대비				최저 대비	최고 대비	평균 대비
			2020.02.08 2020.02.08	변경 Buy	이왕진 27,000									

Compliance Notice

본 자료에 기재된 내용들은 작성자 본인의 의견을 정확하게 반영하고 있으며 외부의 부당한 압력이나 간섭 없이 작성되었음을 확인합니다(작성자: 이왕진)

본 자료는 고객의 증권투자를 돕기 위한 정보제공을 목적으로 제작되었습니다. 본 자료에 수록된 내용은 당사 리서치본부가 신뢰할 만한 자료 및 정보를 바탕으로 작성한 것이나, 당사가 그 정확성이나 완전성을 보장할 수 없으므로 참고자료로만 활용하시기 바라며 유가증권 투자 시 투자자 자신의 판단과 책임하에 최종결정을 하시기 바랍니다. 따라서 본 자료는 어떠한 경우에도 고객의 증권투자 결과에 대한 법적 책임소재의 증빙자료로 사용될 수 없습니다.

본 자료는 당사의 저작물로서 모든 저작권은 당사에게 있으며 어떠한 경우에도 당사의 동의 없이 복제, 배포, 전송, 변형될 수 없습니다.

- _ 동 자료는 제공시점 현재 기관투자가 또는 제3자에게 사전 제공한 사실이 없습니다.
- _ 동 자료의 추천종목은 전일 기준 현재당사에서 1% 이상 보유하고 있지 않습니다.
- _ 동 자료의 추천종목은 전일 기준 현재 당사의 조사분석 담당자 및 그 배우자 등 관련자가 보유하고 있지 않습니다.
- _ 동 자료의 추천종목에 해당하는 회사는 당사와 계열회사 관계에 있지 않습니다.

투자등급 및 적용 기준

구분	투자등급 guide line (투자기간 6~12개월)	투자등급	적용기준 (향후 12개월)	투자 의견 비율	비고
Sector (업종)	시가총액 대비 업종 비중 기준 투자등급 3단계	Overweight (비중확대) Neutral (중립) Underweight (비중축소)			
Company (기업)	절대수익률 기준 투자등급 3단계	Buy (매수) Hold (보유) Sell (매도)	+20% 이상 기대 -20% ~ +20% 기대 -20% 이하 기대	87.8% 12.2%	2015년 2월 2일부터 당사 투자등급이 기존 4단계 (Strong Buy / Buy / Marketperform / Sell)에서 3단계 (Buy / Hold / Sell)로 변경
		합계		100.0%	투자 의견 비율은 2020. 1. 1 ~ 2020. 12. 31 당사 리서치센터의 의견공표 종목들의 맨마지막 공표의견을 기준으로 한 투자등급별 비중임 (최근 1년간 누적 기준, 분기별 갱신)