

Total Highspeed Interface IP Provider

Investor Relations 2024

Qualitas
SEMICONDUCTOR

Disclaimer

본 자료는 기관투자자들을 대상으로 실시되는 presentation에서 정보 제공을 목적으로 주식회사 쉐리타스반도체 (이하 "회사")에 의해 작성됐으며 이의 반출, 복사 또는 타인에 대한 재배포는 금지됨을 알려드리는 바입니다. 본 presentation의 참석은 위와 같은 제한 사항의 준수에 대한 동의로 받아들이며, 제한 사항에 대한 위반은 관련 '자본시장과 금융투자업에 관한 법률'에 대한 위반에 해당될 수 있습니다.

본 자료에 포함된 "예측정보"는 개별 확인 절차를 거치지 않은 정보들입니다. 이는 과거가 아닌 미래의 사건과 관계된 사항으로 회사의 미래 경영현황 및 재무실적을 의미하고, 표현상으로는 '예상', '전망', '계획', '기대', '(E)'등과 같은 단어를 포함합니다. 위 "예측정보"는 경영 환경의 변화 등에 따라 영향을 받으며 실제 미래 실적은 "예측정보"에 기재되거나 암시된 내용과 중대한 차이가 발생할 수 있습니다.

미래 전망은 presentation 실시일 현재를 기준으로 작성된 것이며 시장 환경과 회사의 경영방향 등을 고려한 것으로 시장 환경의 변화와 전략 수정 등에 따라 변경될 수 있음을 양지하시기 바랍니다.

본 자료의 활용으로 인해 발생하는 손실에 대해 회사 및 회사의 임원들은 그 어떠한 책임도 부담하지 않음을 알려드립니다. (과실 및 기타의 경우 포함)

본 문서는 주식의 모집 또는 매출, 매매 및 청약을 위한 권유를 하지 않으며, 문서의 그 어느 부분도 관련 계약 및 약정 또는 투자 결정을 위한 기초 또는 근거가 될 수 없음을 알려드립니다.



*Total Interconnect Solution Provider
for Fourth Industrial Revolution*



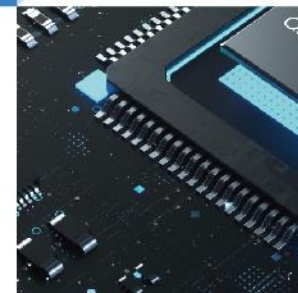
Table of Contents

Prologue

Chapter 1. 초고속 인터커넥트 IP 선두기업

Chapter 2. 경영실적

Appendix





High-speed Interface IP Provider = 반도체 IP + High-speed Interconnect

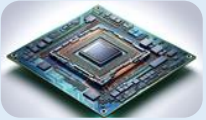
반도체 IP 산업

Previous



- PCB(Printed Circuit Board) 상에서 여러 개의 반도체 칩이 모여 시스템을 구현

Current



- 기존 시스템을 하나의 칩으로 집적하여 SoC(System on Chip)를 제작 (모바일폰의 AP Processor 등)

반도체 IP 회사

SoC 내 특정 기능을 수행하는 부분 블록 회로(IP)를 설계하여 SoC 설계사(팹리스)에 납품하는 회사

최신 SoC 트렌드 - 다양한 ASIC의 등장

어플리케이션

모바일 SoC

- AI/머신러닝

AI SoC

- LLM

디스플레이 SoC

- MicroLED

자동차 SoC

- 자율주행

기업

Google

- TPU

TESLA

- FSD

NVIDIA

- DPU

SAMSUNG

- Exynos



tenstorrent

- RISC-V



ADAS

다양한 ASIC의 등장으로 IP 시장 성장 확대

High-speed Interconnect

High-speed Interconnect 란?

기술은 두 장치 간 방대한 데이터를 빠른 속도로 전송하는 기술

초고속 인터커넥트 기술의 필수 요소



Low Power



Low Latency



High Speed

Previous



- 주로 디스플레이 분야에서 영상데이터를 전송하기 위한 목적으로 기술 발전 (Full HD, Ultra HD, 4K, 8K 등)

Current



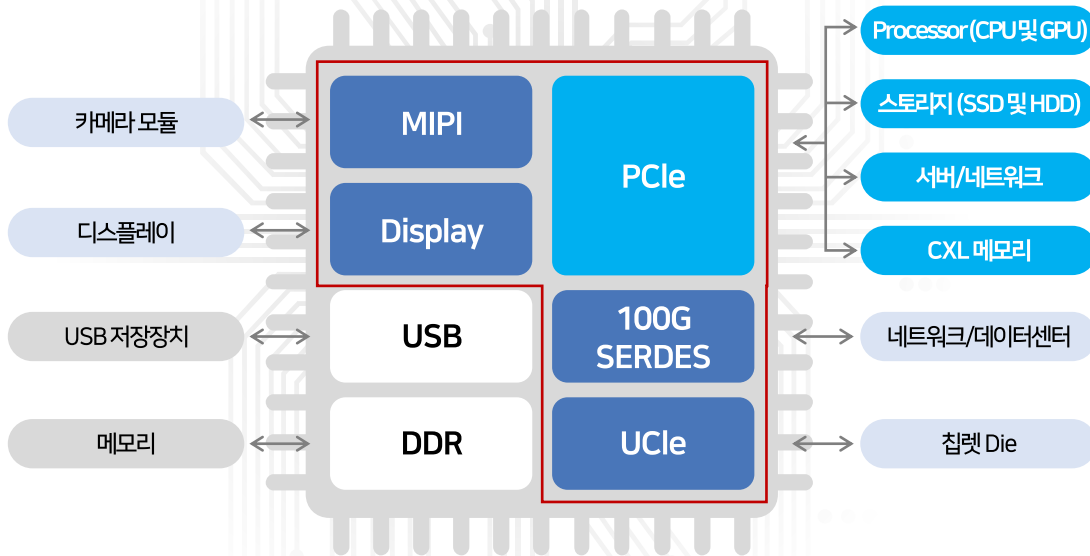
- 인공지능 어플리케이션(LLM, 자율주행, On-device 등)의 출현으로 High-speed Interconnect 기술 수요 폭발적 증가

반도체 IP 중 High-speed Interface IP를 전문으로 하는 기업

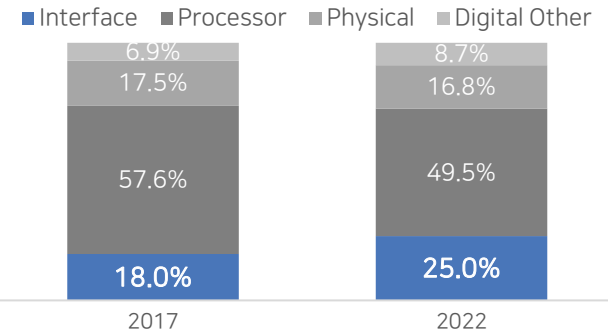
SoC와 외부기가 간 통신 현황

□ 퀄리티스 사업영역

Qualitas
SEMICONDUCTOR

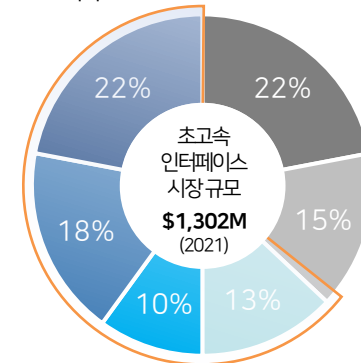


연도별 글로벌 IP 비중 변화



인터페이스 IP 시장의 핵심 요소

■ PCIe ■ Ethernet & Die-to-die ■ MIPI
■ 기타 ■ DDR ■ USB

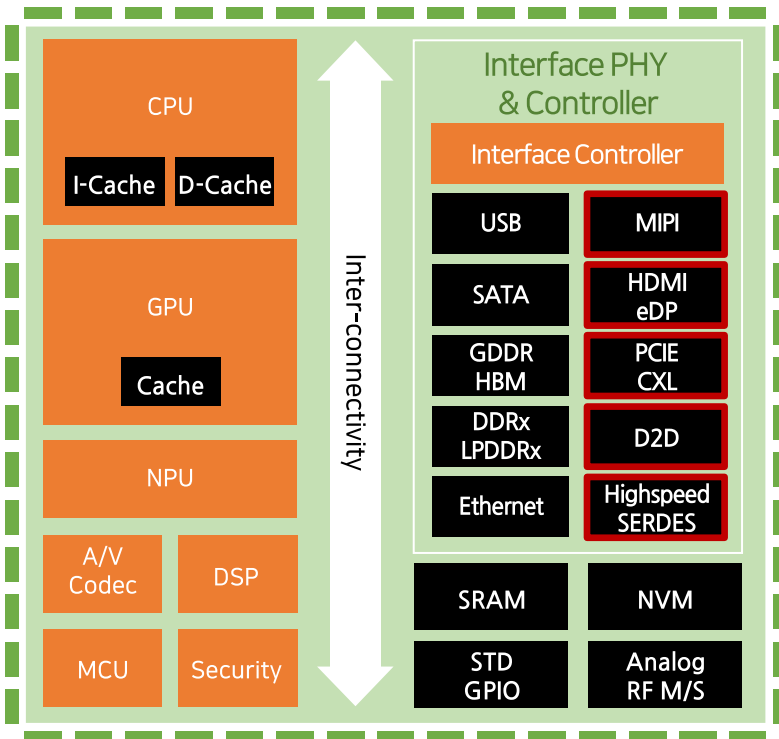


당사 상위 5개
표준 규격 중
PCIe, Ethernet,
MIPI, 기타
(디스플레이 칩셋 포함)
규격(약 M/S 50%)에
대한 사업 영역

Hardmacro IP인 Interface PHY IP 위주의 포트폴리오 구성

Interface PHY 위주의 IP 비즈니스 구성

- **Hardmacro IP**: 파운드리 공정의 특성을 반영하여 회로 도면 형태로 존재하는 IP
- **Softmacro IP**: 파운드리 공정과 무관하게 데이터 형태로 존재하는 IP

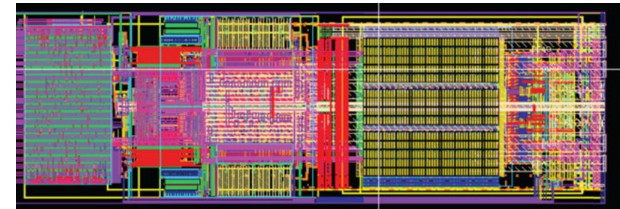


<SoC 칩 내부 도식화 모습>

출처: TSMC, A Modern SOC Block and IP Diagram

Hardmacro IP

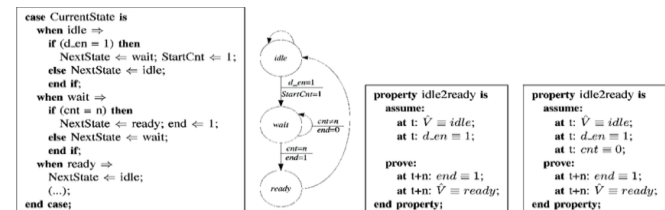
- 아날로그 특성 중시 → 설계도면 형태로 제공
- IP 개발업체가 미리 반도체 도면까지 제작하여 제공



<Hardmacro IP 구조>

Softmacro IP

- 디지털 기능이 중시 → 상위 수준 설계의 형태로 제공
- SoC 개발업체가 반도체 공정 특성에 맞게 도면으로 구현



<Softmacro IP 구조>

04 파운드리와 반도체 Hardmacro IP 생태계



Hardmacro IP 벤더는 삼성전자 파운드리 생태계 선순환의 필수 요소

반도체 Hardmacro IP 생태계 순환구조

반도체 IP 시장 생태계



[파운드리 Hardmacro IP Library 예시]

	IP1	IP2	IP3	IP4	IP5
Anm					
Bnm					
Cnm	A사	B사	EMPTY	C사	EMPTY
Dnm					

	IP1	IP2	IP3	IP4	IP5
Anm					
Bnm					
Cnm	A사	B사	Qualitas	C사	Qualitas
Dnm					

고객사가 Cnm 공정을
사용하기로 결정

고객사 요구 사항

고객사 요구사항 불충족

IP제작 완료

고객사 요구사항 만족

Hardmacro IP 존재 여부가 파운드리 경쟁력에 직결
▶ 파운드리가 Hardmacro IP 벤더의 확보에 전념하고 있는 이유

반도체 Hardmacro IP 생태계 순환구조



Hardmacro IP 벤더는
파운드리 핵심 인프라 역할

Total Interconnect
Solution Provider
for Fourth Industrial
Revolution

Chapter 1. 초고속 인터커넥트 IP 선두기업

- 01. 국내 IP업계 內 최고의 R&D 인력 확보
- 02. 초고속 인터페이스 IP 포트폴리오 솔루션 확대
- 03. 세계 정상급 기술 경쟁력 확보
- 04. PCIe
- 05. 칩렛
- 06. 초고부가가치 IP라이센싱 기반 인공지능 시장 진입
- 07. 주요 반도체 파운드리 별 UCIe 현황
- 08. 글로벌 Top-tier 시장 진출 추진

01 국내 IP업계 內 최고의 R&D 인력 확보



초고속 인터페이스 IP분야 전문성을 보유한 국내 최고의 팀

김 두 호

CEO, Ph.D.
· 연세대학교 박사
· 삼성전자
· 한국신용정보원



한 평 수

전무이사, CTO, Ph.D.
· 연세대학교 박사
· LG전자



Application Engineering팀

최 광 천

전무이사, Ph.D.
· 연세대학교 박사
· 삼성전자



Optical Interconnect 개발팀

김 재 영

상무이사, Ph.D.
· 연세대학교 박사
· NTT, Rohm



SERDES IP 개발팀

성 창 경

상무이사, Ph.D.
· 연세대학교 박사
· 삼성전자



Display IP 개발팀

박 용 현

이사, M.S.
· 서강대학교 석사
· LG전자



Controller IP 개발팀

이 재 철

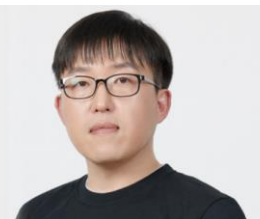
상무이사, M.S.
· 고려대학교 석사
· 삼성전자, DB하이텍



Mobile IP 개발팀

허 철

이사, M.S.
· 부경대학교 석사
· DB하이텍, LX세미콘





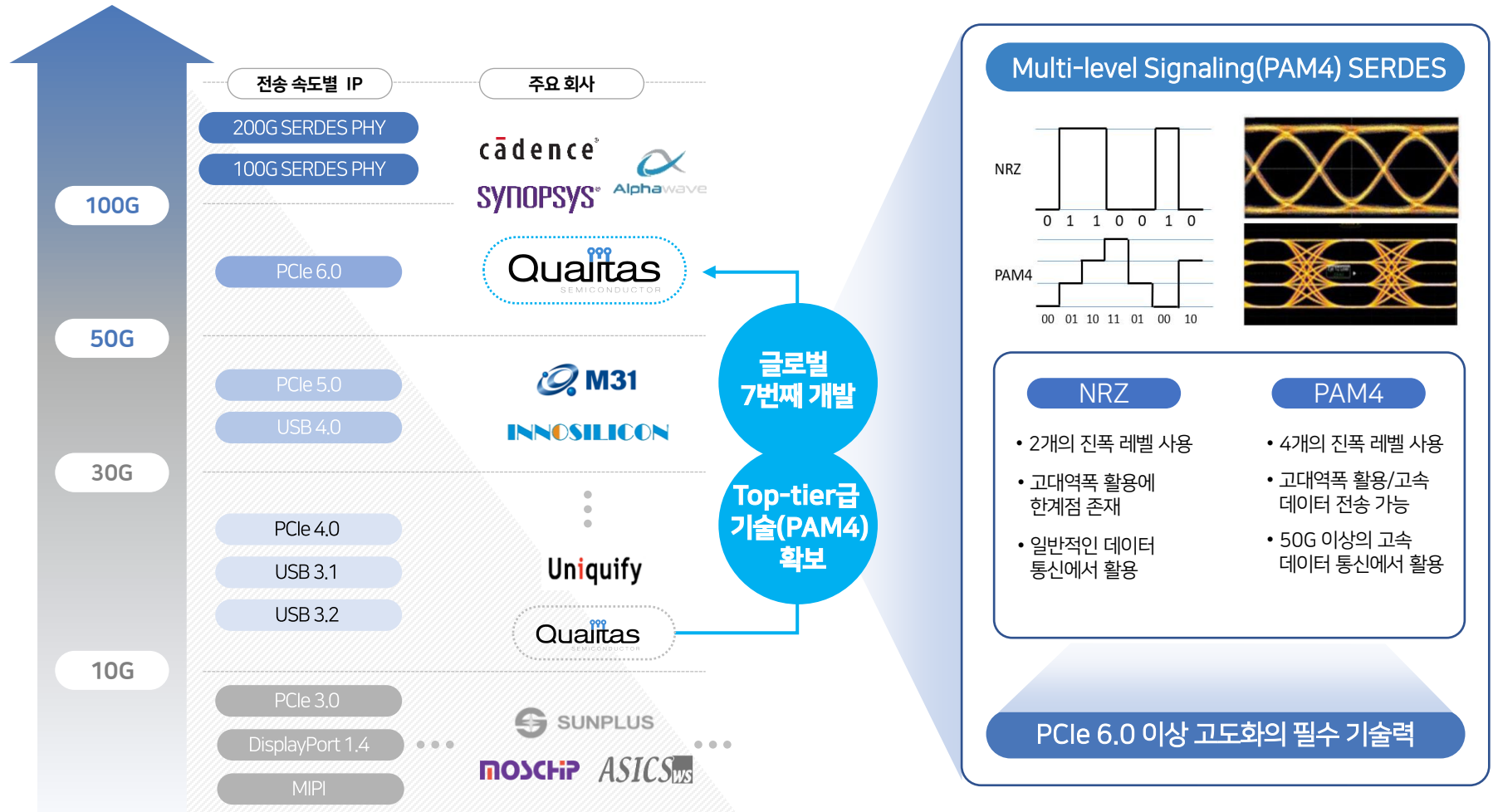
국내 최대의 Interface PHY IP Portfolio 확보

어플리케이션 구분	IP 구분	IP세분류	공정	개발현황	비고
카메라 	MIPI PHY	D-PHY	28/14/8/5nm	On Sale	현세대 고성능 모바일 카메라 인터페이스
	MIPI PHY	D-PHY	4nm	In Development	
	MIPI PHY	C-PHY	8/5nm	On Sale	차세대 초고성능 모바일 카메라 인터페이스
	MIPI PHY	C-PHY	4nm	In Development	
	MIPI Controller	CSI	-	In Development	모바일 카메라 어플리케이션 컨트롤러
	MIPI Controller	DSI	-	In Development	모바일 디스플레이 어플리케이션 컨트롤러
디스플레이 	TCON PHY	eDP RX	14nm	On Sale	현세대 고화질 디스플레이 TCON 인터페이스
	Intra-Panel PHY	Intra-Panel Interface TX	28/14nm	On Sale	현세대 고화질 디스플레이 Intra-Panel 인터페이스
	Intra-Panel PHY	Intra-Panel Interface TX	8nm	In Development	차세대 초고화질 디스플레이 Intra-Panel 인터페이스
인공지능/자율주행/ 데이터센터 등 다수 	PCIe PHY	PCIe 4.0	14/5nm	In Development	현세대 고성능 칩셋 범용 인터페이스
	PCIe PHY	PCIe 4.0	8nm	On Sale	
	PCIe/CXL PHY	PCIe 6.0	5nm	In Development	차세대 초고성능 칩셋 범용 인터페이스
	UCIe PHY	UCIe 1.1	5nm	In Development	차세대 칩렛 인터페이스
데이터센터 	SERDES PHY	100G SERDES	14nm	In Development	데이터센터용 Ethernet 규격 초고속 인터페이스

03 세계 정상급 기술 경쟁력 확보

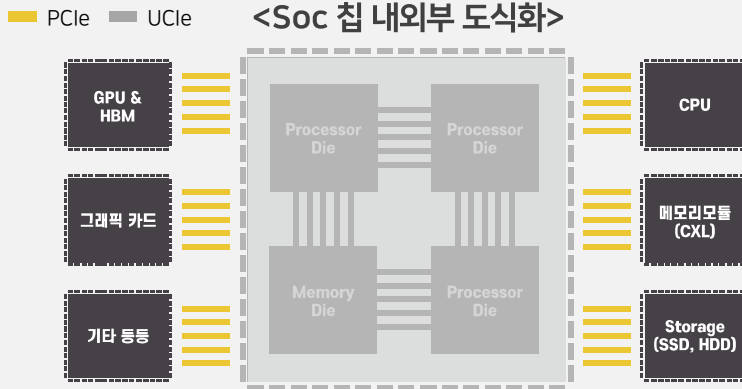


100G SERDES와 PCIe 6.0 PHY의 개발을 통해 글로벌 Top-tier급 기술적 지위 확보



04 PCIe - (1) 개요

기존 인터페이스의 한계를 극복한 차세대 인터페이스 등장 최대 수혜

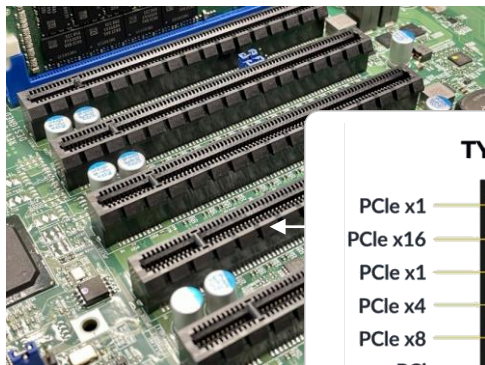


PCIe

(Peripheral Component Interconnect Express)

- 인공지능 시대에 가장 필수적으로 사용될 핵심 인터페이스 (Storage 인터페이스~CXL까지 확장 진행중)

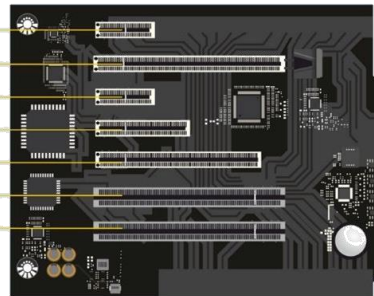
범용 인터페이스 중 가장 고속의 인터페이스
→ **소분야 활용되는 필수 IP**



PCIe

TYPES OF PCIE SLOTS

PCIe x1
PCIe x16
PCIe x1
PCIe x4
PCIe x8
PCI



PCIe 6.0 (2022년부터 적용된 규격)

- 현, 공식적으로 상용화된 칩셋이 없는 초고도의 기술

PCIe 5.0 (2019년부터 적용된 규격)

- 22년, 서버용 SSD에 탑재 시작
- 23년, 인텔, HPC용 CPU로 '사파이어 래피즈' 출시하여 첫 적용

PCIe 4.0 (2018년부터 적용된 규격)

- 현세대 개인용 기기에 적용되는 가장 최신 규격

04 PCIe – (2) 시장 침투 전략

현/차세대 IP 제품 선점을 통한 시장 지배적 경쟁력 확대

PCIe 4.0

- 21년 8nm공정에서 PCIe 4.0 PHY IP 첫 라이선싱
- 23년 5/14nm공정에 Porting 작업 착수
- 24년 5nm 공정에서 상반기 라이선싱 시작 예정

PCIe 5.0/CXL 2.0

- 하이엔드 IP 시장에 빠르게 진입하기 위해, PCIe 5.0 PHY IP 개발 대신 PCIe 6.0 PHY IP 개발
- PCIe 6.0 PHY IP가 하위 버전을 호환하여, PCIe 6.0 PHY IP로 PCIe 5.0 PHY IP 시장 진출 계획

PCIe 6.0/CXL 3.0

- 23년 5nm 공정에서 **PCIe 6.0 PHY IP 개발**에 착수하였으며, 24년 현재 라이선싱 계약 논의 중 (24년 하반기 ~ 25년 중 라이선싱 예상)

○개발 로드맵

IP구분	노드	21년	22년	23년	24년(E)	25년(E)	26년(E)
PCIe 4.0 PHY IP	14nm				개발착수	라이선싱 시작	
	8nm	라이선싱 시작					
	5nm			개발착수	라이선싱 시작		
PCIe 6.0 PHY IP (CXL 3.0 PHY IP)	5nm			개발착수	라이선싱 시작		
	4nm					개발착수	라이선싱 시작

05 칩렛 - (1) 개요

데이터 전송량 증가 + ICT기술 발전으로 칩렛 수요 폭발적 증가



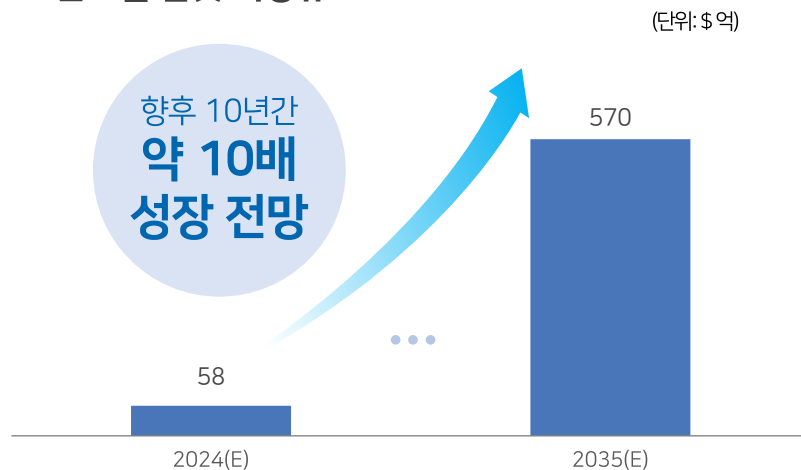
칩렛 (Chiplet)

- 여러 개별 다이(Die)를 연결하여 단일 기능을 수행하는 단일 모듈 패키징
- 단일 칩 성능 증가 한계를 극복하기 위한 후공정 패키징 기술

성능 ↑ 제조 복잡성 ↓ 데이터 전송 ↑ 에너지 효율 ↑

AI, 빅데이터 등 첨단 어플리케이션을 위한 필수 요소

연도별 칩렛 시장규모



칩렛(Chiplet)

- 시스템을 단일 칩렛에서 구현
ex) 다수의 연산(Core complex) 다이와 하나의 입출력(I/O) 다이로 구성

멀티Die(MCM)

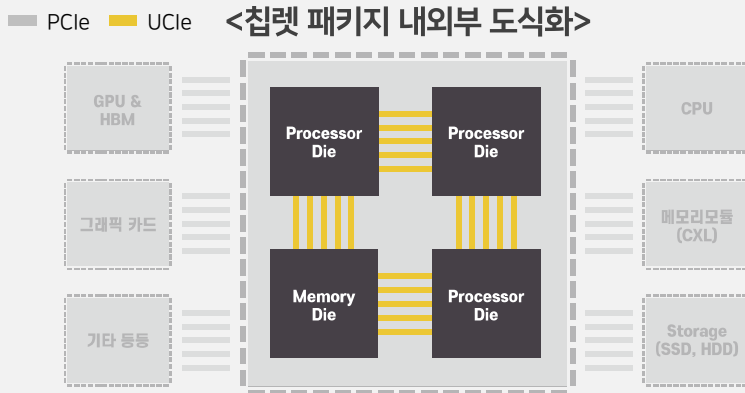
- 독립된 작업을 수행하는 수 개의 다이(die)를 결합한 패키지
- 독립된 다이 별 연산(Core complex) 및 입출력(I/O) 탑재

단일Die

- 시스템을 단일 칩 레벨에서 구현
- 성능 향상을 위해서 칩 사이즈 확대 및 소자 초미세화 필요

05 칩렛 - (2) UCle

Marketable 기술의 선제적 개발로 시장 지위 선점



UCle (Universal Chiplet Interconnect Express)

- 칩렛 생태계가 활성화되기 위한 필수 요소
- 서로 다른 공정에서 제작된 칩이나 칩렛 간 물리적 연결 및 통신을 연결

2022년, 개방형 칩렛 간의 Die-to-Die 상호 연결 표준화를 목표로 하는 UCle 컨소시엄 출범

SAMSUNG intel AMD ARM

국내 UCle 개발 현황



IP구분	노드	23년	24년(E)	25년(E)	26년(E)
UCle 1.1 PHY IP	5nm	개발착수		라이선싱 시작	→
	4nm		개발착수		라이선싱 시작 →

06 초고부가가치 IP라이센싱 기반 인공지능 시장 진입



차세대 IP 제품 선점을 통한 시장 지배적 경쟁력 확대

PCIe 6.0 PHY IP

- 분야에 활용되는 범용성 높은 IP
- 평균 계약 단가: 기존 제품 (PCIe 4.0) 比 2배

첨단 인터커넥트 기술의 집약체

+

UCle PHY IP

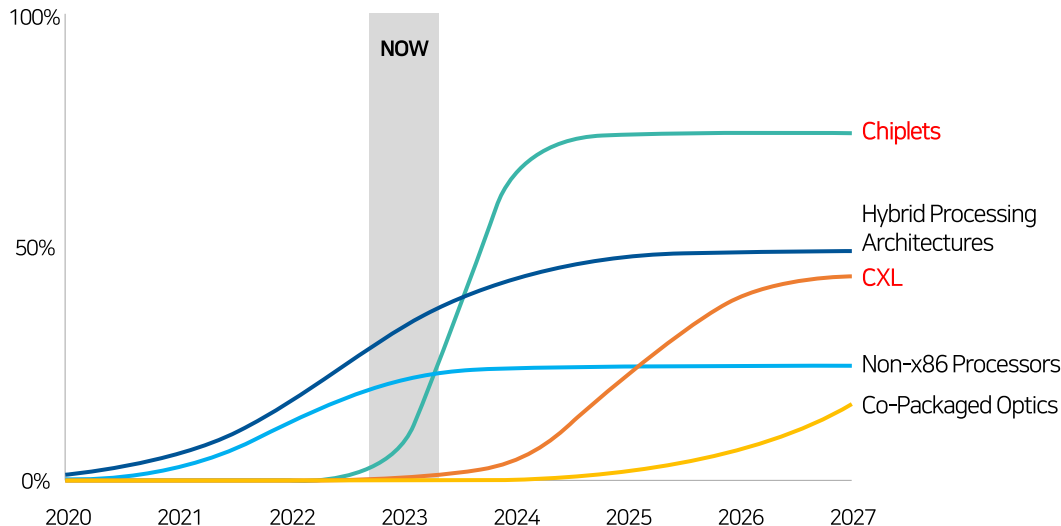
- HBM과 함께 대표적인 칩렛 IP 규격
- 초고가로 가격 형성 전망

칩렛 생태계의 필수 인프라

Qualitas
SEMICONDUCTOR

차세대 시장 선점

2023년 데이터 센터에 영향을 미치는 상위 5대 반도체 기술



※ 출처: Gartner

※ 주1) CXL: PCIe 물리계층에 구축된 CPU-디바이스 간 저지연 고속 인터커넥트 기술로 PCIe PHY 규격을 사용함

주2) UCle (Universal Chiplet Interconnect Express)

포트폴리오 확장

차세대 표준 인터페이스
규격으로 확장PCIe
6.0CXL¹⁾
3.0UCle²⁾

다양한 전방산업 진출

AI, 자율주행 등
첨단산업의 핵심 IP데이터
센터

자율주행

AI

수주 경쟁력 확보

기술 초격차 기반
시장 지위 선점글로벌
Top-tier
설계능력초미세공정
설계 및
검증국내 최초
상용화로
시장선점

07 주요 반도체 파운드리 별 UCle 현황



삼성전자, 인텔, TSMC 모두 칩렛 표준 UCle IP 적용 추진 중

주요 반도체 파운드리 별 UCle 현황

SAMSUNG

- 5nm 기반으로 양산 준비중
- 2nm 및 4나노 공정에 IP 최적화



- 5nm 및 3nm 기반 양산 준비중



- 인텔 3공정(4nm급)과 인텔 18A (1.8nm급) 공정을 위한 IP 개발 중

당사 향후 계획

글로벌 AI 시장에서 두각을 나타내기 시작한 UCle PHY IP를
파운드리들의 다양한 공정에서 확보하는 것이 필수

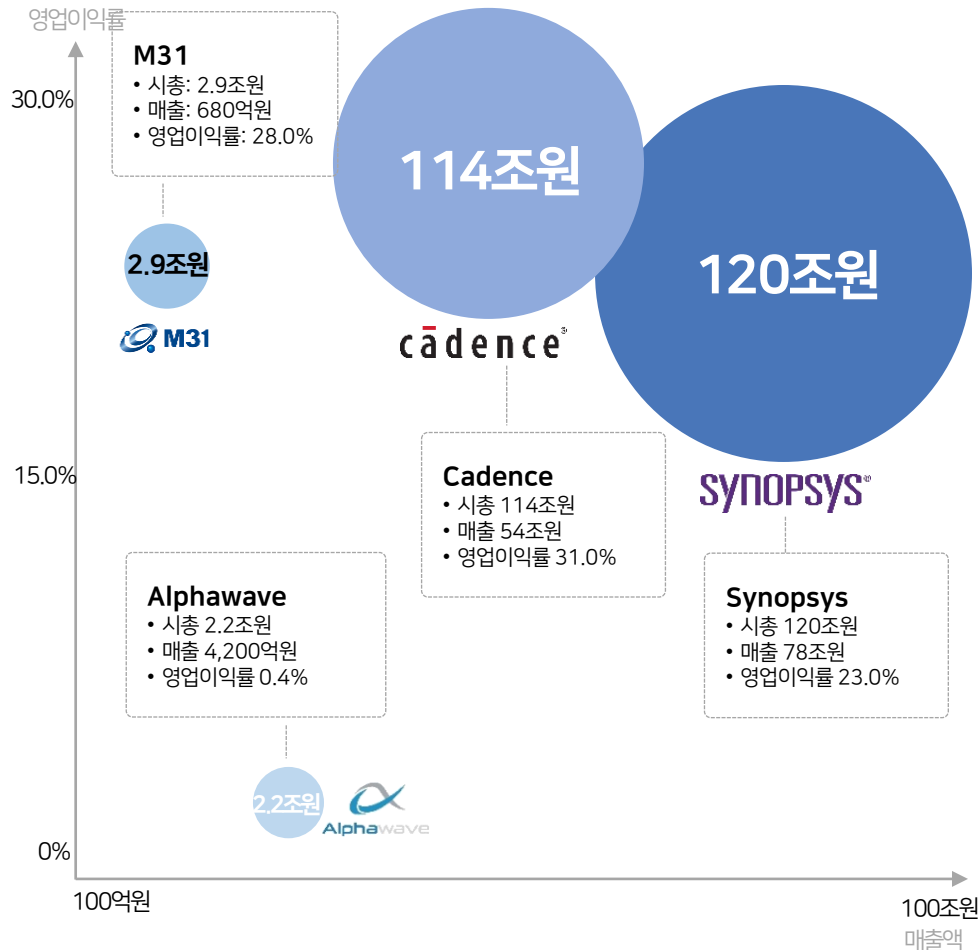


UCle PHY IP전문 담당 팀을 신설하여 연구 인력을 확보하여
가장 파급력 높은 칩렛 IP 기술 개발을 확보해 나갈 예정

08 글로벌 Top-tier 시장 진출 추진



3高(高수요, 高성장, 高이익률)의 특성을 가지는 IP 산업



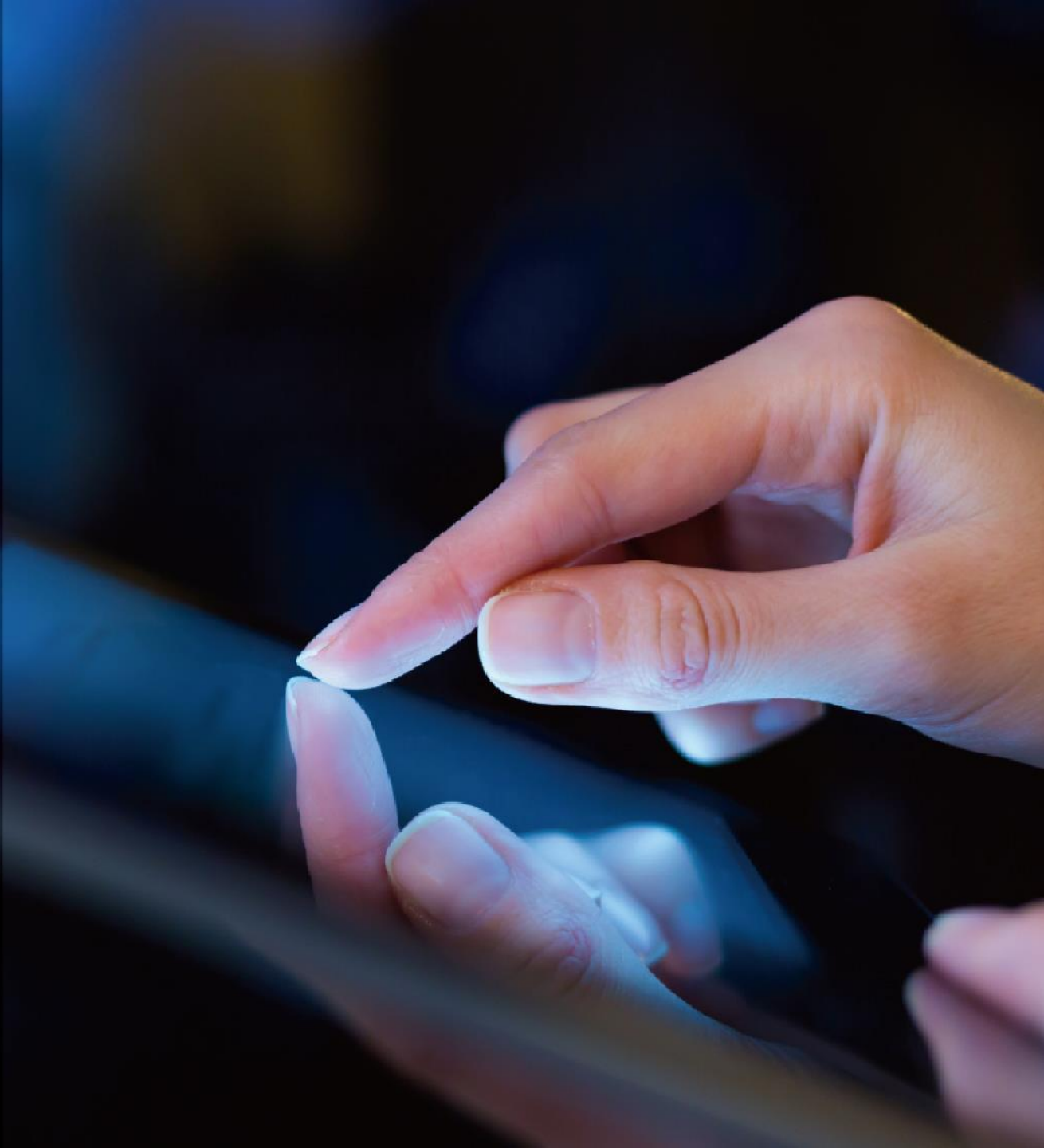
구분	내용
synopsys®	- 글로벌 Top Hard IP Vendor - Main business는 반도체 설계 소프트웨어(EDA Tool) 회사이나 Sub business로 Interface 위주의 IP 및 디자인하우스 등을 수행 - TSMC, 삼성파운드리를 포함한 다양한 파운드리 IP 비즈니스 수행 중
cādence®	- 글로벌 Second Hard IP Vendor - Main business는 반도체 설계 소프트웨어(EDA Tool) 회사이나 Sub business로 Interface 위주의 IP 및 디자인하우스 등을 수행 - Synopsys에 비해 IP 사업규모는 작은 편이며, 주로 TSMC 향 사업영위
AlphaWave	- AI시장과 데이터센터 시장을 타겟으로 2017년에 설립 - PHY IP는 SERDES, PCIe, UCIe, HBM와 같은 최고급 IP 포트폴리오만 보유 - 최근, 디자인하우스 부문에 투자하면서 영업이익률은 낮아진 편
M31	2011년에 설립되어 USB, PCIe, MIPI, eDP 등의 인터페이스 PHY IP를 위주로 사업을 영위 퀄리티스반도체와 가장 유사한 회사이며, TSMC 향 사업영위
Qualitas	2019년부터 삼성파운드리 IP Vendor로 활동 시작 - MIPI, eDP 등의 IP부터 양산 이력을 확보하기 시작하여 PCIe, UCIe 등의 고부가가치 IP 양산 이력 확보를 목표

※ 각 수치는 24년 3월 1일 기준이며 매출은 TTM 기준

Total Interconnect
Solution Provider
for Fourth Industrial
Revolution

Chapter 2. 경영실적

- 01. 수익구조
- 02. 실적 및 수주전망
- 03. 요약 재무제표





IP비즈니스 수익구조의 핵심 = IP Reuse를 통한 License fee(설계 Royalty)의 반복적 발생

수익구조 특징



License Fee
반복적 발생

초기 개발 이후
라이선싱 매출 반복적 발생
(IP社 高 밸류에이션 원인)



초기 개발 이후
증분비용 小

IP Reuse 발생 시,
증분수익 大 = License Fee
증분비용 小 = 단기적으로 고정적

반도체 IP 사업의 수익구조 특징

SoC 개발 흐름

SoC 제품 기획 → SoC 개발 → SoC 검증 → SoC 양산

IP
라이선싱
비용발생

IP 개발 NRE¹⁾

설계 Royalty
(License Fee)

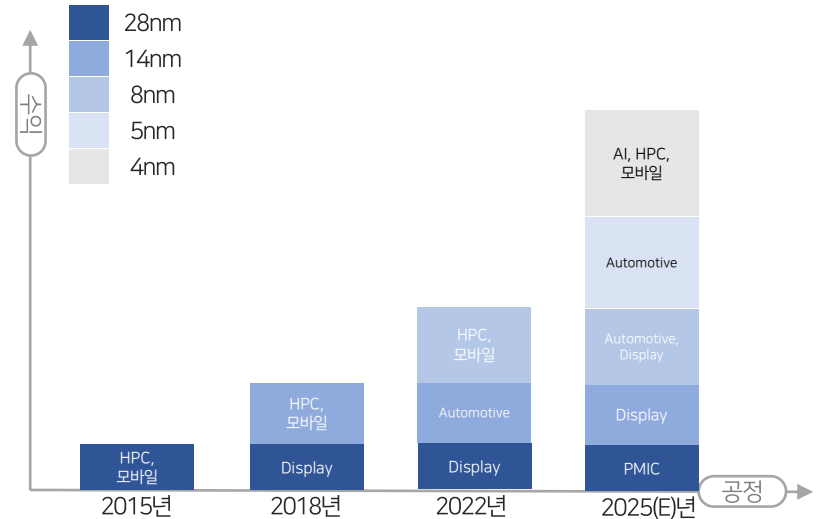
IP 기술지원
및 유지보수

판매 Royalty
(IP Royalty)

IP Reuse를 통한
반복적인 수익창출



- 설계 Royalty는 반복적 수익창출로 고수익성
- SoC 양산 이전에 대부분의 현금을 회수 → 원활한 현금흐름
- ▶ **高 수익 & 원활한 현금흐름**



- 어플리케이션별로 진보된 공정 사용 → 롱테일 비즈니스
- 고도화된 공정은 기존 공정 比 고수익성
- ▶ **재고 없는 롱테일 비즈니스**



지난 해 이연된 프로젝트들의 계약 체결 가시화 → 대형 수주 건을 포함한 수주 증대 예상

○ 2024년 수주 전망

수주 전망

- 수주 전망** **대형 프로젝트를 포함한 계약 수주 본격적 회복 시작**
- 전기 반도체 불황으로 인해 지연된 프로젝트들에 대한 계약 체결이 2분기 현재 재개되기 시작
 - 대형 프로젝트 위주로 수주활동 회복세
 - 업황이 회복세에 있음에 따라 하반기 소규모 프로젝트 활성화도 기대

IP별 수주 예상 PCIe 수주 증대 / Display 수주 견조

- **PCIe 수주 본격화**
 - 기존에는 매년 1~2건의 PCIe IP 프로젝트를 수주하였으나, 금년에는 배 이상의 프로젝트 수주가 가능할 것으로 예상
 - 4.0, 5.0 규격 위주로 고객사 수요 존재
 - 6.0 규격의 상용화 테스트 진행 중
- **Display Chipset IP 프로젝트의 대형화**
 - Display Chipset IP의 공정 미세화, 스펙 상승 등으로 인해 계약 규모가 상승하고 있는 추세
 - 대형 프로젝트 논의 중

본격적인 고객사 다변화 개시

○ 2024년 고객사 다변화 현황

고객사 다변화 현황

- 고객사 확대 전략** **대리점을 통한 중화권 고객사 유치 개시 중**
- IP회사의 특성 상 팹리스 수가 많은 중화권 고객사 유치 중요
 - 2024년 4월 중화권 영업대리점 계약 체결
 - M사 등 계약체결 성과

- 국내 빅벤더 유치** **국내 대형 고객사 신규 유치 개시 중**
- **국내 대형고객사와 신규 거래 논의 중**
 - 기존에는 S사 외 직접 거래하는 대형고객사가 부재
 - 신규 대형고객사 유치 시, 안정적인 매출 기반 확보 가능



향후 진행 되는 개발 진척 사항 및 사업 진행사항을 다양한 IR과 PR 활동을 통해 적극 알릴 예정

최근 관련 기사 및 공시 내용

- 퀄리티스반도체, 세계최초 5나노 공정 자율주행·AI 칩 설계 IP 솔루션 개발 완료 (2024.06.05)
- 퀄리티스반도체, 반도체 전설 짐 켈러 '텐스토렌트'에 20억 투자 (2024.05.30)
- 퀄리티스반도체, 인텔 AI CPU '루나 레이크' 호환 PHY v1.5a 개발 (2024.05.23)
- 퀄리티스반도체, 중화권 SoC 기업과 12억 규모 IP 계약 (2024.05.17)
- 퀄리티스반도체, 중화권 업체에 12억원 규모 PCIe 4.0 PHY IP 공급 (2024.05.16)
- 퀄리티스반도체, 중국 ASIC 개발 전문업체 MicroBT에 'MIPI IP' 라이선스 제공 (2024.05.13)
- 퀄리티스반도체, UCle 표준 칩셋 인터페이스 개발 앞장 (2024.05.13)
- 퀄리티스반도체, UCle 5nm PHY IP 개발 중 (2024.04.30)
- 퀄리티스반도체, 224Gbps 서데스 파이 국책 과제 주관 업체로 선정 (2024.04.29)
- 퀄리티스반도체-TUV라인란드코리아, 자율주행 핵심부품 업무협약 (2024.04.26)
- 퀄리티스반도체, 중국시장 공략 본격화...반도체 전문 유통기업과 계약 (2024.04.23)
- 퀄리티스반도체, '암바렐라 차량AI 칩'에 IP 라이선스 지원 (2024.03.26)

03 요약 재무제표



○ 요약 재무상태표

(단위: 백만원)

구 분	2023	2022	2021	2020
유동자산	33,386	7,920	3,666	1,654
비유동자산	7,325	6,209	3,191	1,941
자산총계	40,712	14,129	6,857	3,595
유동부채	10,644	6,652	5,780	3,801
비유동부채	2,345	11,462	4,884	1,079
부채총계	12,989	18,114	10,664	4,880
자본금	5,454	58	56	56
자본잉여금	38,026	251	205	205
기타자본항목	840	3,547	1,418	195
이익잉여금	(16,598)	(7,841)	(5,486)	(1,741)
자본총계	27,723	(3,985)	(3,807)	(1,285)

○ 요약 손익계산서

(단위: 백만원)

구 분	2023	2022	2021	2020
매출액	10,775	10,789	3,952	1,316
영업비용	21,961	14,460	8,694	2,283
영업이익	(11,186)	(3,671)	(4,742)	(967)
영업외수익	4,788	2,738	1,713	83
영업외비용	1,095	1,463	552	80
법인세 차감전순이익	(7,493)	(2,396)	(3,582)	(964)
법인세비용	615	(115)	73	(268)
당기순이익	(8,109)	(2,281)	(3,655)	(696)